



ATELIER 2012

13^{ÈME} Atelier

«ANALYSE ET MÉCANISMES DE DÉFAILLANCE
DES COMPOSANTS POUR L'ÉLECTRONIQUE »

Village Club Belambra « Les Tuquets » Seignosse (40)

5 juin au 8 juin 2012

ORGANISE PAR

anadef

Association loi 1901

Analyse de défaillance & technologie
des composants électroniques

www.anadef.org

avec le concours de

 **Adera Service**

MARDI 5 JUIN

8h00

8h45 - 9h00

Patrick POIRIER

Président association ANADEF
patrick.poirier@presto-eng.com
Tél : 02 31 06 27 01

Accueil des participants

Ouverture et présentation de l'atelier 2012

9h00 - 12h00

Animateurs :

Emmanuel DOCHE

THALES 3S - Toulouse
emmanuel.dochec@cnes.fr
Tél : 05 61 27 30 94

Jean BASTID

TRONICO - St Philbert de Bouaine
jbastid@tronico-alcen.com
Tél : 02 51 41 89 35

Dominique TALBOURDET

EDF R&D - Moret-sur-Loing
dominique.talbourdet@edf.fr
Tél : 01 60 73 63 91

Session n°1 " La contrefaçon "

Un produit contrefait peut être défini comme un composant électronique ou un système produit ou distribué en violation des règles de propriété (intellectuelle ou autres), et dont les matériaux, les performances ou les caractéristiques sont sciemment déformés par le vendeur ou le distributeur.

Les composants électroniques contrefaits peuvent compromettre la performance et la fiabilité des systèmes électroniques et par conséquent nuire à la sûreté des produits et augmenter considérablement les coûts de fabrication.

L'électronique contrefaite est de plus en plus rencontrée dans un large éventail de produits, comme les ordinateurs, le matériel de télécommunications, l'automobile, l'aviation et les systèmes militaires.

Jusqu'à 20% des lots de composants électroniques fournis par les distributeurs non officiels sont constitués de produits électroniques contrefaits, engendrant des surcoûts dans l'industrie évalués à 100 milliards de dollars par an à travers le monde. Il devient urgent pour l'industrie électronique d'être en mesure de détecter efficacement les produits électroniques contrefaits. Cette session aura pour objectif de décrire les différentes méthodes de contrefaçon connues et les techniques d'analyse employées aujourd'hui pour les mettre en évidence.

14h00 - 17h30

Animateurs :

Marie-France ROUX

EADS Astrium - Elancourt
marie-france.roux@astrium.eads.net
Tél : 01 82 61 29 31

Julien PERRAUD

THALES R&T - Palaiseau
julien.perraud@thalesgroup.com
Tél : 01 69 41 56 70

Pascal RETAILLEAU

MBDA - Le Plessis Robinson
pascal.retailleau@mbda-systems.com
Tél : 01 71 54 26 76

Session n°2 " Interconnexions : report et packaging "

Plus petit, plus rapide, moins cher... L'électronique grand public s'est engagée dans cette voie, entraînant tous les marchés dans son sillage.

Poussé par les composants, l'assemblage doit s'adapter aux pas de plus en plus fins et aux nouveaux types de boîtiers (LGA, QFN triple rangées, WLP, CMS 01005...) en garantissant le même niveau de fiabilité.

Les cartes imprimées ne sont pas en reste avec le déploiement de la haute densité (μvias remplis, stackés...) ou encore l'intégration de composants enterrés (passif ou puce). L'objectif est de présenter ces nouveaux objets mais surtout les mécanismes de défaillance associés et leur incidence sur la fiabilité.

Cette session sera également l'occasion de faire le point sur les incidences de la directive RoHS :

- Evolution des finitions composants,
- Fiabilité des assemblages en particulier en environnement sévère,
- Mécanismes de défaillance et lois de dégradation associés.

Dans ce cadre, les résultats du groupe ANADEF " Sans Plomb " seront présentés, ainsi que d'autres travaux portant sur les techniques d'analyse.

MERCREDI 6 JUIN

8h30 - 12h00

Animateurs :

Fabien BATTISTELLA

THALES 3S - Toulouse
fabien.battistella@cnes.fr
Tél : 05 61 27 30 70

Bernard PICART

LFoundry Rousset
bernard.picart@lfoundry.com
Tél : 04 20 10 31 08

Philippe PERDU

CNES - Toulouse
philippe.perdu@cnes.fr
Tél : 05 61 28 20 17

Session n°3 " Analyse de défaillance des VLSI : nouvelles techniques "

L'intégration croissante des circuits intégrés et la diminution constante de la taille des nœuds technologiques constituent un défi permanent et majeur pour l'analyse de défaillance. Le processus même de l'analyse de défaillance voit tous ses éléments remis en cause. La détection de fautes et plus généralement le diagnostic, s'appuie de plus en plus sur des outils logiciels soulignant l'intérêt de prendre en compte l'analyse de défaillance dès la phase de conception. La localisation des défauts doit répondre aujourd'hui à des géométries élémentaires des structures très en dessous des limites des outils optiques utilisés jusqu'à présent. De nouvelles techniques apparaissent, certaines avec un bon niveau de maturité (Thermography, Lock in Thermography...), d'autres dont les applications débutent (Time Resolved imaging, Laser Voltage Imaging...).

Une fois localisé, le défaut doit être analysé physiquement. L'apparition des nouveaux matériaux utilisés aussi bien pour réaliser les structures actives (grille métallique, diélectrique haute permittivité) qu'au niveau des interconnexions (cuivre, diélectrique faible permittivité), leur très faible dimension et la complexité technologique de ces structures imposent de plus en plus l'emploi de techniques d'observation ultimes (TEM, AFM, ...). Le concepteur, le fabricant et l'utilisateur du circuit sont donc confrontés à des processus d'analyse très complexes, faisant appel à des outils optimisés et des techniques nouvelles.

Cette session sera l'occasion de présenter : les nouvelles techniques, les techniques les plus couramment utilisées par les laboratoires des fabricants, des intégrateurs, des utilisateurs finaux et des prestataires, les défis techniques et économiques liés à ces analyses, ce que l'on peut faire quand on a peu d'outils ou peu de connaissance sur le produit, les tendances actuelles (utilisation d'outils logiciels, Design for FA ...).

MERCREDI 6 JUIN

14h00 - 17h30

Animateurs :

Alain WISLEZ
THALES 3S - Toulouse
alain.wislez@thalesgroup.com
Tél : 05 62 88 28 04

Thomas BOUTARIC
EADS IW - Suresnes
thomas.boutaric@eads.net
Tél : 01 46 97 34 16

Pascal SEGART
FREESCALE - Toulouse
pascal.segart@freescale.com
Tél : 05 61 19 90 08

Session n°4 " Technologies et mécanismes de défaillance des composants de puissance "

Les composants électroniques de puissance n'ont jamais connu autant d'évolutions technologiques que ces dernières années. Poussés par leurs clients, les fabricants de composants conçoivent des composants plus performants, plus fiables, plus spécifiques, plus économes en énergie, plus respectueux de l'environnement et de la santé de l'utilisateur et surtout moins chers !

Ces évolutions sont possibles grâce à des révolutions technologiques tant au niveau de la puce que du boîtier. Aucune partie du composant n'est laissée de côté :

- les substrats de la puce (Si, SiC, GaN, autres ?),
- les pistes métalliques (Al, AlCu, AlSiCu, Cu, autres ?) et les diélectriques High K et Low K,
- les designs en 3D,
- les colles puces et le wire bonding,
- les résines de boîtiers, les assemblages complexes en modules et les PCB.

Les nouveaux composants de puissance doivent être aussi bien caractérisés et fiabilisés que les anciens.

Les mécanismes de défaillance des composants de puissance sont dorénavant aussi divers que variés. Le simple « burn out » n'est plus une explication suffisante et nécessaire, ce n'est qu'une résultante d'une suite d'événements au sein du matériau ou de la structure. L'analyse de défaillance des composants de puissance nécessite la mise en œuvre d'une très large palette de moyens au même titre que pour les technologies les plus agressives ou très intégrées.

Cette session aura donc pour objectif de faire un tour d'horizon de ces nouveaux composants de puissance, des mécanismes de défaillance et des méthodes d'analyse associées.

JEUDI 7 JUIN

14h00 - 17h30

Animateurs :

Dominique TALBOURDET
EDF R&D - Moret-sur-Loing
dominique.talbourdet@edf.fr
Tél : 01 60 73 63 91

Jean-Pierre GUERVENO
MBDA France - Le Plessis Robinson
jean-pierre.guerveno@mbda-systems.com
Tél : 01 71 54 15 92

Marise BAFLEUR
LAAS CNRS - Toulouse
marise@laas.fr
Tél : 05 61 33 69 66

Franck DAVENEL
DGA - Maîtrise de l'information
franck.davenel@dga.defense.gouv.fr
Tél : 02 99 42 65 05

Session n°5 " Défiabilisation des composants en utilisation "

Malgré la constante amélioration de la qualité des composants, le taux de panne, qui est proche du zéro défaut à réception, augmente brutalement dès que les composants sont intégrés dans une application. Dans de nombreux cas, l'origine est imputable à une mise en œuvre inappropriée : conditionnement inadéquat, procédé de fabrication/intégration mal maîtrisé ou utilisation client en dehors des limites garanties, etc. L'identification des sources de défiabilisation est capitale pour l'industriel car elle va lui permettre d'améliorer très nettement la fiabilité de ses produits. La difficulté majeure pour l'expert est l'identification des causes racines de la défaillance car il s'agit en général de stress "parasites" donc hors processus nominal et souvent accidentels. D'autres événements peuvent générer un défaut latent non détectable lors d'un test fonctionnel mais susceptible d'évoluer au cours de la vie du composant. Outre ces stress parasites, un composant peut aussi se dégrader au cours d'un stockage longue durée ou d'une durée d'utilisation particulièrement longue comme c'est le cas dans les applications militaires, aéronautiques ou liées à la production d'énergie.

L'objectif de cette session est de confronter les expériences de chacun en balayant toutes les étapes de vie d'un composant du déstockage magasin à l'utilisation du matériel par le client. Les présentations seront orientées sur plusieurs axes :

- Études de cas ayant une signature bien particulière dont la cause et l'action corrective sont bien identifiées.
- Exemples montrant la relation entre les stress induits par le procédé industriel ou l'application elle-même (température, ESD, EOS, EMI, rayonnement cosmique, fissures de boîtiers, délaminations, pollutions, etc...) et la fiabilité à long terme. En particulier, la présentation de nouveaux mécanismes de défaillance liés aux nouvelles technologies nanométriques (DSM) sera particulièrement appréciée.

VENDREDI 8 JUIN

8h30 - 12h00

Animateurs :

Clovis LATASTE
NOVAMEMS - Toulouse
clovis.lataste@novamems.com
Tél : 05 34 32 03 55

Murielle BERANGER
TRIXELL - Moirans
murielle.beranger@trixell-thalesgroup.com
Tél : 04 76 57 00 62

Session n°6 " Nouveaux objets - Nouveaux défis "

De nos jours, la qualité d'un appareil électronique ne se mesure plus seulement en terme de performance technique ou de fiabilité, mais aussi en terme d'interactivité, d'ergonomie, de sécurité...

Les appareils électroniques intègrent donc de nombreuses fonctions destinées à satisfaire les besoins des utilisateurs, avec de nouveaux objets qui sortent du domaine " classique " des VLSI, du CMOS ou des composants passifs : capteurs ou actionneurs MEMS, systèmes RFID et communication sans fil, dispositifs à base d'électronique organique... De nouveaux besoins émergent aussi avec les exigences de respect de l'environnement : énergie solaire, systèmes de récupération de l'énergie, nouvelles batteries ... Sans compter toutes les nouveautés qui sont encore en conception dans les laboratoires de recherche !

Ces objets sont très variés et soulèvent de nouvelles questions concernant l'analyse de défaillance :

Comment aborder l'analyse (stratégie, préparation des échantillons, localisation) ? Quels sont les défauts rencontrés ? Quelles méthodes de caractérisation permettent de les mettre à jour ? Peut-on adapter et réutiliser les équipements d'analyse déjà présents dans nos laboratoires ? Quelles nouvelles compétences et quels nouveaux équipements doivent être développés ou acquis ?

Cette session sera l'occasion de présenter certains de ces nouveaux objets et d'illustrer les difficultés rencontrées dans leur analyse au travers de cas concrets.

PROGRAMME DES TUTORIALS

MARDI 5 JUIN

9h00 - 12h00

Catherine MUNIER
EADS IW
catherine.munier@eads.net
Tél : 01 46 97 35 03

Véronique LARGEAUD
ALSTOM - Villeurbanne
veronique.largeaud@transport.alstom.com
Tél : 04 72 81 58 87

Tutorial 1 " Interconnexions, PCB "

Lors de défaillances d'un équipement ou d'une carte, les premiers éléments analysés sont généralement les composants et l'assemblage (incluant bien sûr une première vérification de la connectique). Ainsi, une part croissante des défaillances ne sont pas identifiées. Ces défaillances non identifiées peuvent tout simplement provenir du circuit imprimé. Dimensionnement du circuit au niveau électrique, thermique, mais aussi non respect des règles de l'art lors du design ou encore spécifications client /fournisseur insuffisantes, aléas de fabrication, sont autant de facteurs à risques pouvant entraîner des défaillances au niveau du circuit imprimé. L'objectif de ce tutorial est de présenter les principaux mécanismes de défaillance des circuits imprimés, d'en expliquer leur origine ainsi que leurs effets ou conséquences sur le fonctionnement d'un équipement ou d'une carte. Black pad, CAF (Conductive Anodique Filament), impact de contaminants (migration électrochimique de surface, diffusion à travers les couches en particulier le masque de soudure), rupture de liaison ou courant de fuite trouveront leur explication dans la mouvance, entre autre, des matières premières et des différentes chimies, l'incompatibilité entre différents matériaux, la maîtrise des procédés de fabrication par le fabricant mais aussi dans l'adaptation du design aux contraintes de fabrication (Règles DFM) ou encore d'utilisation de l'équipement (profil de mission, règles DFR).

En parallèle, lors de la description des défaillances et des causes racines possibles, différentes méthodes permettant de mettre en évidence ces défaillances seront présentées, allant de méthodes non destructives (électriques, physiques) aux méthodes destructives (physiques et chimiques).

14h00 - 17h30

Gérald HALLER
ST Microelectronics - Rousset
gerald.haller@st.com
Tél : 04 42 68 55 78

Christian MOREAU
DGA - Maîtrise de l'information
christian.moreau@dga.defense.gouv.fr
Tél : 02 99 42 93 98

Philippe PERDU
CNES - Toulouse
philippe.perdu@cnes.fr
Tél : 05 61 28 20 17

Tutorial 2 " Techniques d'analyse de défaillance des VLSI : du diagnostic à la localisation de défaut "

Les défauts rencontrés dans les technologies VLSI avancées actuelles sont-ils localisables ? Analysables ? Quel processus d'analyse et quels outils peuvent être mis en œuvre ? L'objectif ambitieux de ce tutorial est de vous aider à répondre à ces questions.

L'analyse de défaillance consiste à rechercher le défaut physique responsable du défaut électrique. Elle comprend trois étapes principales: la caractérisation électrique, la localisation du défaut puis l'analyse physique qui mène à l'identification du défaut et le cas échéant précise l'origine de son apparition.

Ce tutorial adresse de manière plus spécifique la localisation des défauts et comporte 3 parties :

- Mécanismes de défaillance dans les technologies actuelles - Signature électrique et physique des défauts (visibles ou non-visibles)
- Processus de l'analyse de défaillances et outils adaptés aux technologies actuelles, du diagnostic à la localisation
- Techniques optiques de localisation de défauts : cette partie concerne les techniques statiques et dynamiques de thermographie, d'émission de lumière, de stimulation laser et de laser en mode réfléchi avec comme objectif de préciser quelle technique choisir et pourquoi.

JEUDI 7 JUIN

8h30 - 12h00

Clovis LATASTE
NOVAMEMS - Toulouse
clovis.lataste@novamems.com
Tél : 05 34 32 03 55

Tutorial 3 " MEMS "

Quelles sont les différentes technologies MEMS (Micro Electro Mechanical Systems) ?

Quels sont leurs niveaux de développement et de maturité technologique ?

Comment évaluer la fiabilité d'une filière MEMS ?

Quelles techniques spécifiques ces technologies demandent-elles pour investiguer leurs défaillances potentielles ?

Nous essaierons de répondre à ces interrogations, en les abordant point par point :

- Introduction aux technologies MEMS
- Fiabilité MEMS
- Méthodes de caractérisation et d'analyse de défaillance dédiées aux MEMS,

VENDREDI 8 JUIN

8h30 - 12h00

Françoise GONNET
THALES R&T - Palaiseau
francoise.gonnet@thalesgroup.com
Tél : 01 69 41 56 68

Matthieu GLEIZES
MBDA France - Le Plessis Robinson
matthieu.gleizes@mbda-systems.com
Tél : 01 71 54 36 20

Tutorial 4 " Composants passifs "

Les composants passifs sont présents partout et en très grand nombre sur une carte électronique où ils occupent en moyenne plus de 80% de la surface. Certes ces composants ne comportent pas de source d'énergie et ne sont pas les " locomotives " des assemblages, mais sans passifs rien ne serait actif. Ils sont bien souvent sacrifiés pour protéger les composants actifs car il est plus facile et moins onéreux de changer un condensateur ou une résistance qu'une mémoire ou un processeur. De ce fait les composants passifs sont à l'origine de 30% des défaillances des cartes électroniques.

En trois heures il n'est pas possible de présenter tous les composants passifs et toutes les problématiques. Le choix s'est naturellement tourné vers la trilogie des passifs, le fameux RIC : Résistances, Inductances, Condensateurs. Pour chaque famille seront présentés les différentes technologies, les principaux modes et mécanismes de défaillance et les techniques d'analyse associées.

COMITÉ SCIENTIFIQUE

Marise BAFLEUR
Murielle BERANGER
Jean BASTID
Fabien BATTISTELLA
Murielle BERANGER
Thomas BOUTARIC
Dominique CARISSETTI
Jean-Claude CLEMENT
Yves COLIN
Karine DANILO
Franck DAVENEL
Emmanuel DOCHE
Frédéric DULONDEL
Matthieu GLEIZES

LAAS - Toulouse
TRIXELL - Moirans
TRONICO - St Philbert de Bouaine
THALES 3S - Toulouse
TRIXELL - Moirans
EADS IW - Suresnes
THALES R&T - Palaiseau
THALES R&T - Palaiseau
ATMEL - Nantes
PRESTO Engineering - Caen
DGA - Maîtrise de l'Information - Bruz
THALES 3S - Toulouse
SAGEM - Cergy
MBDA - Le Plessis Robinson

Françoise GONNET
Jean-Pierre GUERVENO
Gérald HALLER
Fulvio INFANTE
Nathalie LABAT
Véronique LARGEAUD
Clovis LATASTE
Christian MOREAU
Christian MOREAU
Philippe PERDU
Julien PERRAUD
Bernard PICART
Patrick POIRIER
Pascal RETAILLEAU

THALES R&T - Palaiseau
MBDA - Le Plessis Robinson
Gérald HALLER
Intraspec Technologies - Toulouse
IMS - Université de Bordeaux
ALSTOM - Villeurbanne
NOVAMEMS - Toulouse
DGA - Maîtrise de l'Information - Bruz
EADS IW - Suresnes
CNES - Toulouse
THALES R&T - Palaiseau
LFoundry - Rousset
PRESTO Engineering - Caen
MBDA - Le Plessis-Robinson

Marie-France ROUX
Kevin SANCHEZ
Pascal SEGART
Patrick TABARY
Dominique TALBOURDET
Alain WISLEZ

EADS Astrium - Elancourt
CNES - Toulouse
FREESCALE - Toulouse
ALTIS - Corbeil-Essonnes
EDF R&D - Moret-sur-Loing
THALES 3S - Toulouse

Coordination technique de l'atelier :

Nathalie LABAT - IMS - Université de Bordeaux
nathalie.labat@ims-bordeaux.fr - Tél : 05 40 00 65 51

Secrétariat technique ANADEF :

Jean-Claude Hubert - ANADEF - France
jcmad.hubert@wanadoo.fr - Tél : 09 71 40 72 74

PROGRAMME DES MICRO-ATELIERS

Ces « micro-ateliers » ont pour objectif de favoriser les échanges informels entre les analystes de défaillance. Chaque « micro-atelier » comprendra une description rapide du thème suivi d'études de cas montrant des exemples d'utilisation. L'étude de ces cas permettra de décrire des problèmes résolus ou non et de présenter la méthode employée pour traquer un défaut. A l'issue de ces présentations, un débat entre les participants pourra donner lieu à des discussions qui favoriseront l'échange et le partage d'expériences.

Coordination : Bernard PICART
LFoundry - Rousset
bernard.picart@lfoundry.com
Tél : 04 20 10 31 08

Patrick POIRIER
PRESTO Engineering - Caen
patrick.poirier@presto-eng.com
Tél : 02 31 06 27 01

MERCREDI 6 JUIN

8h30 - 12h00

Animateurs :

Frédéric DULONDEL

SAGEM - Cergy
frederic.dulondel@sagem.com
Tél : 01 53 11 93 89

Karine DANILO

PRESTO Engineering - Caen
karine.danilo@presto-eng.com
Tél : 02 31 06 27 06

Fulvio INFANTE

Intraspec Technologies - Toulouse
fulvio.infante@intraspectechnologies.com
Tél : 05 61 27 45 54

Micro-atelier n°1 " Interconnexions : report & packaging "

L'objectif de cet atelier est d'échanger sur les techniques d'analyse des technologies d'interconnexions : BGA, flip-chip, wirebonding cuivre, circuits imprimés, substrats cocuits, SIP intégrant plusieurs technologies (piezo, MEMS, Optique,...). Il reprend certains sujets de la session 2 ou du tutorial 1, mais l'accent est mis sur les échanges techniques entre participants sur des exemples de cas résolus et non résolus.

Les différentes thématiques abordées sont :

- Les techniques de localisation électrique et physique (JTAG, Time Domain Reflectometry, Thermo IR, Xrays, Microscopie Magnétique, ...)
- Les techniques de préparation d'échantillons et d'analyse physique (polissage, plasma, révélations, fluorescence X, ...). Les avantages, limites et difficultés de ces techniques et méthodes seront discutés.

14h00 - 17h30

Animateurs :

Bernard PICART

LFoundry - Rousset
bernard.picart@lfoundry.com
Tél : 04 20 10 31 08

Patrick TABARY

ALTIS Semiconductor - Corbeil-Essonnes
patrick.tabary@altissemiconductor.com
Tél : 01 60 88 99 68

Dominique CARISSETTI

THALES R&T - Palaiseau
dominique.carisetti@thaligroup.com
Tél : 01 69 41 56 73

Micro-atelier n°2 " Analyse et caractérisation physique des VLSI & composants III-V "

L'analyse et la caractérisation physique des composants électroniques sont de plus en plus difficiles, principalement à cause de la diminution de la taille des motifs élémentaires et de l'utilisation de nouveaux matériaux.

Dans ce Micro-atelier seront présentées les principales méthodes d'analyse et de caractérisation physique à travers de nombreuses études de cas. La microscopie électronique est employée pour l'inspection et les mesures à fort grossissement (SEM & TEM), elle donne aussi accès à l'analyse de matériaux (EDX, AES & EELS). L'utilisation de faisceaux ioniques focalisés (FIB) permet de faire des micro-sections, de préparer des fines lamelles pour le TEM, et autorise la modification de circuit pour le debug de nouveaux produits. La microscopie à force atomique (AFM) et les mesures électriques et thermiques associées (SCM, SSRM, STHM ...) ouvrent de nouvelles voies d'observation, de mesure et de caractérisation.

Dans cette session les fournisseurs d'équipements seront sollicités lors des discussions, et les groupes de travail ANADEF comme par exemple le groupe « Modification de circuit par FIB » et « EDX » participeront aux échanges techniques.

JEUDI 7 JUIN

8h30 - 12h00
14h00 - 17h30

Animateurs :

Bernard PICART

LFoundry - Rousset
bernard.picart@lfoundry.com
Tél : 04 20 10 31 08

Yves COLIN

ATMEL - Nantes
yves.colin@atmel.com
Tél : 02 40 18 17 46

Kevin SANCHEZ

CNES - Toulouse
kevin.sanchez@cnec.fr
Tél : 05 61 27 31 78

Micro-atelier n°3 " Localisation et caractérisation électrique de défauts dans les VLSI & composants III-V "

L'augmentation de la complexité des circuits intégrés implique une difficulté croissante pour l'analyse de défaillance de ces circuits. Les méthodes présentées dans ce Micro-atelier, traitant de la caractérisation électrique des défauts et de leur localisation, seront abordées au travers d'étude de cas.

La microscopie optique (en lumière visible et infrarouge) nous donne des outils puissants pour localiser les défauts comme la microscopie à émission de lumière (EMMI) et la thermographie infrarouge (LIT). En outre, l'utilisation de lasers infrarouges continus, modulés ou pulsés, permet de localiser des défauts (OBIRCH / TIVA, OBIC / LIVA), mais aussi de caractériser la fonctionnalité des produits (DLS / LADA). Enfin, pour une caractérisation précise du fonctionnement dynamique des circuits intégrés, nous utilisons des techniques de probing avec des pointes métalliques (Micro probing), des captures ponctuelles de photons (TRE / PICA), des faisceaux lasers réfléchis qui sont modulés par le signal présent dans les éléments à mesurer (LVI / LVP). Pour le probing interne des technologies sub-microniques, seront également traités les nouveaux développements de l'AFP (Atomic Force Probing) ainsi que l'utilisation de micro-pointes motorisées dans un SEM (SEM probing).

Nous insisterons particulièrement sur l'émulation électrique des circuits qui pourra être statique (avec alimentation ou traceur de courbe), pseudo-statique (en s'arrêtant sur un vecteur de test) et dynamique (en bouclant sur les vecteurs de test choisis). Le groupe de travail ANADEF sur les « Techniques Optiques Dynamiques / LVI » sera sollicité afin de présenter les avancées sur le sujet.

Association ANADEF

Depuis plus de 20 ans, dans un cadre assez peu formel, se réunissent les principaux laboratoires et sociétés du domaine de l'électronique. Afin d'améliorer notre fonctionnement et d'offrir de meilleurs services, nous sommes passés en association.

Les métiers de l'analyse de défaillance des composants et sous-ensembles électroniques, ainsi que celui de la qualification des composants dans lesquels nous évoluons, sont en perpétuelle évolution. Néanmoins ces métiers sont limités dans chaque entreprise à un petit groupe de personnes. Les investissements, tant en matériel qu'en formation, sont coûteux, et faire le bon choix est essentiel tant pour réaliser directement que pour sous-traiter. L'isolement ne permet pas de faire face rapidement et à faible coût aux nouveaux problèmes, alors qu'un travail de groupe basé sur l'échange et le partage des connaissances permet de y remédier.

Parmi les principales actions réalisées :

- L'évaluation de techniques nouvelles ou de nouveaux équipements
- La mise au point de méthodes d'essais, des comparaisons inter-labos
- Le partage technique des expériences
- La création d'un réseau Intranet réservé à nos membres et associé au Site Web (www.anadef.org)

L'appartenance à notre association est le meilleur moyen d'enrichir à la fois ses compétences et ses relations professionnelles ce qui offre alors de multiples possibilités : accès formel ou informel à l'expert du domaine, réalisation d'un type d'essai particulier, organisation de coopérations dans le cadre de programmes français ou européens.

INSCRIPTIONS : INFORMATIONS GÉNÉRALES

INFORMATIONS PRATIQUES

- **Site et coordonnées :** Au bord de l'océan, séparé uniquement par une dune, sur la côte des Landes, dans une région très "nature" du Pays Basque, formule résidentielle dans le Club Belambra de Seignosse « Les Tuquets » en logements de décoration contemporaine et fonctionnelle, accès WiFi.
- **Transport/accès :** **En avion**, aéroport de Biarritz à 40 km, aéroport de Bordeaux Mérignac à 170 km.
En train, gare de Dax à 38 km.
En voiture, A63, sortie 10, suivre N10, puis D810
- **Accueil sur site :** Le secrétariat ANADEF sera ouvert le lundi 4 juin 2012 de 18h00 à 21h00 le mardi 5 juin 2012 à partir de 8h00 et aux heures d'ouverture de l'Atelier.
- **Votre contact pour toute information concernant votre inscription :** **Véronique LHEUREUX**
ADERA Service - B.P. 196 - 33608 Pessac Cedex - registration@adera.fr - Tél : 05 56 15 80 03 - Fax : 05 56 15 11 60

CONTACT

MODALITÉS DE DROITS D'INSCRIPTION

- L'inscription à l'Atelier s'effectue en ligne via le site www.anadef.fr. Elle est nominative. Aucune inscription partagée ne sera acceptée.
- Le montant de la participation inclut par jour :
 - Hébergement (1 nuit) / restauration (petit-déjeuner, pauses, déjeuner et dîner)
 - Participation à la conférence
- Documentation, CD ROM, actes et liste des participants
- Un tarif préférentiel (indiqué ci-dessous) est accordé aux membres ANADEF à jour de leur cotisation 2012.
- Un tarif dégressif sera appliqué pour l'inscription de 2 participants appartenant à la même entreprise et travaillant sur le même site.

L'ATELIER 2012 est éligible au titre de la formation continue.

La formation est conventionnée par ADERA Service – organisme de formation enregistré sous le n° de déclaration d'activité formation 72 33 03753 33. Toute demande de prise en charge par l'Entreprise du stagiaire, des frais d'inscription par un Organisme Paritaire Collecteur Agréé devra être précisée lors de son inscription. Une convention de formation sera alors établie par ADERA Service. L'inscription à la formation inclut la participation aux sessions plénières des 4 journées de l'Atelier et n'est pas dissociable.

	Membre ANADEF	Non membre - ANADEF	
1 ^{ère} inscription	1435,20 € TTC	1794,00 € TTC	Formule tout compris : forfait hébergement, participation à la conférence, documentation.
2 ^{ème} inscription	1291,68 € TTC	1650,48 € TTC	

- **Date limite d'inscription :** Les bulletins d'inscription devront parvenir à ADERA Service **au plus tard le 11 mai 2012**.
Passée cette date, la réservation hôtelière n'est pas garantie sur le site de l'Atelier.
 - Une confirmation d'inscription sera adressée à chaque participant.
 - Assurez-vous qu'apparaît sur votre moyen de paiement la mention "Inscription à l'Atelier 2012" ainsi que le nom du participant et celui de sa société ou organisme.
 - L'accès à l'Atelier sera réservé aux participants ayant acquitté leurs droits d'inscription.
- Annulation/Remboursement :** Toute annulation doit être faite par écrit ou courrier électronique. Si l'annulation parvient à ADERA Service avant le 12 mai 2012, 120 € HT de frais de dossier seront retenus. Aucun remboursement ne sera effectué à partir du 12 mai 2012.

OBJECTIFS DE L'ATELIER

- 1 Faire se rencontrer et dialoguer de façon informelle tous ceux (fabricants de composants, équipementiers, laboratoires d'analyse & universitaires) qui ont en commun le souci de comprendre les mécanismes de défaillance afin de mieux maîtriser les choix de composants en fonction des conditions d'applications (profil de mission) et des objectifs de fiabilité.
L'atelier est le lieu privilégié pour discuter des problèmes concrets qui se posent aux utilisateurs de composants. Il permet d'aborder les cas résolus ou non, de comparer les approches ou les méthodologies et de rapprocher les utilisateurs des fabricants.
- 2 Répondre aux attentes des participants à savoir:
 - Elargissement du domaine d'activité (aller au-delà des techniques d'analyse)
 - Prise en compte des exigences du marché et des contraintes économiques
 - Partage d'expériences
 - Rationalisation des démarches/approches
 - Développement des contacts informels.
- 3 Promouvoir un réseau de spécialistes via l'association ANADEF.
- 4 Cette année, le programme de l'Atelier propose une formation qui illustre et complète les exposés théoriques présentés lors des journées de la conférence.
La formation se répartit sur quatre modules journaliers appelés Tutoriels.

CARACTÉRISTIQUES DU 13^{ÈME} ATELIER

Pour cette 13^{ème} édition de l'ATELIER ANADEF, le comité scientifique maintient la formule en place depuis 2004 et a préparé un programme renouvelé alliant sessions plénières, destinées à faire un état de l'art des problématiques rencontrées dans nos métiers, et micro-ateliers qui vous permettront d'approfondir ces sujets. Pour cette édition 2012, les tutoriaux, plébiscités par les participants lors des précédentes éditions, sont également reconduits avec des thèmes nouveaux. Comme en 2010, ceux-ci seront à nouveau éligibles au titre de la formation.

Une nouveauté pour cette nouvelle édition, nous changeons de site. Le succès de l'édition 2010 et la forte participation nous ont conduits à nous déplacer dans un site avec une capacité d'accueil plus grande, mais en gardant tout ce qui a fait le succès des dernières éditions, hébergement et conférences dans un même lieu et dans un cadre toujours agréable et favorisant la convivialité.

Toute l'équipe organisatrice souhaite une nouvelle fois réunir le plus grand nombre d'acteurs impliqués dans les mécanismes de défaillance des composants électroniques, des systèmes et des assemblages, qu'ils soient issus de laboratoires industriels, publics, académiques ou fournisseurs d'équipements. Nous souhaitons vous voir très nombreux pour que cet ATELIER 2012 soit une nouvelle fois un moment fort d'échanges, de partage et de convivialité.

Le Président d'ANADEF
Patrick POIRIER