

ATELIER 2018

16^{ème} Atelier

«ANALYSE ET MÉCANISMES DE DÉFAILLANCE
DES COMPOSANTS POUR L'ÉLECTRONIQUE »»

Village Club Belambra « Les Tuquets »
Seignosse - Hossegor (Landes) - France

5 juin au 8 juin 2018

ORGANISE PAR

anadef

Association loi 1901

Analyse de défaillance & technologie
des composants électroniques

www.anadef.org

avec le concours de

 **Adera Congrès**
Orchestration d'excellence

MARDI 05 JUI		MERCREDI 06 JUI		JEUDI 07 JUI		VENDREDI 08 JUI	
8:30 – 9:30		8:30 – 10:00		8:30 – 10:00		8:30 – 10 :00	
Inscription		Tutoriel 3	Micro-atelier 2	Session 4	Micro-atelier 5	Tutoriel 5	Micro-atelier 7
9:30 – 10:00		Mécanismes de défaillance et fiabilité des VLSIs	Composants passifs	Caractérisations et mesures thermiques	Préparation d'échantillons	Diagnostic et signature électrique des structures élémentaires	Localisation de défauts
Ouverture et présentation de l'atelier							
10:00 – 12:00		10:30 – 12:00		10:30 – 12 :00		10:30 – 12 :00	
Tutoriel 1	Micro-atelier 1	Session 2	Micro-atelier 3	Session 4	Micro-atelier 5	Session 6	Micro-atelier 7
Techniques d'observation, de l'optique à la microscopie électronique	Connecteurs	Analyse de défaillance des circuits intégrés VLSI	PCB et Assemblages	Caractérisations et mesures thermiques	Préparation d'échantillons	Apport de la simulation à l'analyse de défaillance	Localisation de défauts
Déjeuner		Déjeuner		Déjeuner		12:30 – 13:00 : Bilan	
14:00 – 15:30		14:00 – 15:30		14:00 – 15:30		Déjeuner	
Session 1	Tutoriel 2	Session 3	Micro-atelier 3	Tutoriel 4	Micro-atelier 6	14:30 : Départ	
Assemblages et Packaging : Interconnexions, PCBs & Multichips	Technologie VLSI et loi de Moore	Analyse de défaillance des composants optoélectroniques	PCB et Assemblages	Composants de puissance émergents : SiC, GaN	Défiabilisation en utilisation : études de cas	ATELIER 2018 16^{ème} Atelier 	
16:00 – 18:00		16:00 – 18:00		16:00 – 17:30			
Session 1	Tutoriel 2	Session 3	Micro-atelier 4	Session 5	Micro-atelier 6		
Assemblages et Packaging : Interconnexions, PCBs & Multichips	Technologie VLSI et loi de Moore	Analyse de défaillance des composants optoélectroniques	Packaging	Analyse de défaillance des composants de puissance (Si, SiC, GaN)	Défiabilisation en utilisation : études de cas		