



ATELIER 2020

17^{ème} Atelier

«ANALYSE ET MÉCANISMES DE DÉFAILLANCE
DES COMPOSANTS POUR L'ÉLECTRONIQUE »

Village Club Belambra « Les Tuquets »
Seignosse - Hossegor (Landes) - France

8 juin au 12 juin 2020

ORGANISE PAR

anadef

Association loi 1901

Analyse de défaillance & technologie
des composants électroniques

www.anadef.org

avec le concours de

Adera Congrès
Orchestration d'excellence

LUNDI 8 JUIN

14h00 - 16h00

Jean-Michel VINASSA
IMS, université de Bordeaux
jean-michel.vinassa@ims-bordeaux.fr
Tél : 05 40 00 26 13

Tutoriel 1 « Systèmes de stockage d'énergie »

L'omniprésence des dispositifs de stockage d'énergie électrique, tels que les batteries lithium-ion ou les supercondensateurs, et leur criticité dans le bon fonctionnement des systèmes les intégrant rendent crucial la quantification de leurs performances et la connaissance de leur évolution tout au long de leur vie.

Ce tutoriel abordera donc, dans un premier temps, les techniques de caractérisation électrique d'un élément de stockage (à l'état neuf par exemple) en lien avec un modèle par circuit électrique équivalent représentant les principaux phénomènes physico-chimiques présents. Nous irons des techniques de base (chronopotentiométrie en mode galvanostatique, puissance constante, pseudo-OCV) jusqu'aux techniques avancées (prise en compte de la dynamique, spectroscopie d'impédance électrochimique, voltamétrie cyclique, capacité incrémentale, tension différentielle).

Dans un deuxième temps, nous aborderons la définition d'indicateurs de défaillance et leur évolution au cours des différents tests de vieillissement accéléré (type calendaire, en cyclage actif, combiné). A cette occasion, la nature et les plages de variation des facteurs de stress seront discutés. Enfin, des exemples d'exploitation de ces tests permettront de se projeter dans la construction de lois de vieillissement ou de méthodes de détermination de l'état de santé.

LUNDI 8 JUIN

16h30 - 18h00

Hélène FREMONT
IMS, université de Bordeaux
helene.fremont@ims-bordeaux.fr
Tél : 05 40 00 27 65

Tutoriel 2 « Les fondamentaux de la fiabilité pour l'électronique »

Après un rappel sur les principales définitions (fiabilité, qualité, mode et mécanismes de défaillance...), ce tutoriel présentera les notions de tests accélérés et la détermination des facteurs d'accélération. Le lien entre le profil de mission et les tests de qualification sera abordé.

Les trois domaines de la courbe en baignoire, défaillances précoces, défaillances aléatoires, et période d'usure seront commentés et illustrés par des exemples concrets, permettant de distinguer entre défaillances intrinsèques et extrinsèques. Les outils mathématiques utilisés pour l'étude statistique des données seront rapidement passés en revue.

Finalement, l'approche de l'étude de la fiabilité par la modélisation de la physique de la défaillance, qui concerne principalement la période d'usure, sera présentée.

Prérequis : formation ou expérience technique en microélectronique

MARDI 9 JUIN

10h15 - 12h15
14h00 - 16h00

Audrey GARNIER
STMICROELECTRONICS - ROUSSSET
audrey.garnier@st.com
Tél : +39 342 50 17 855

Tutoriel 3 « Fabrication des composants : Partie 1 : circuits intégrés ; Partie 2 : assemblages »

L'analyse de défaillance et la recherche de défauts physiques passent généralement par une étape de de-processing. Quel est donc ce processus que l'on s'ingénie à défaire et démonter, parfois brutalement, parfois pas à pas, pour disséquer nos puces défaillantes ?

Eh bien, à l'origine il y avait le silicium...

La première partie de ce tutoriel dédié à la fabrication des composants retrace le parcours que fait une plaquette de silicium, depuis son entrée sur la ligne de production jusqu'à sa sortie couverte de circuits intégrés, qui pourront ensuite être assemblés dans des boîtiers plus ou moins complexes. Cette première présentation s'adresse à celles et ceux qui veulent connaître les étapes clés d'un procédé standard des technologies CMOS et les techniques de bases qui permettent de construire un circuit électronique complet, du transistor au pad. Elle sera illustrée par les difficultés majeures qui sont rencontrées dans le flux de fabrication.

La seconde partie permettra de mieux comprendre la mise en boîtier par l'identification des phases du procédé et le choix des matériaux pour les boîtiers les plus répandus. Elle sera agrémentée d'un retour sur les problématiques liées à l'assemblage et aux nouvelles solutions de design qui nous obligent à mettre en œuvre des techniques et méthodologies de plus en plus complexes pour affronter l'analyse de défaillance.

MERCREDI 10 JUIN

14h00 - 16h00

Gerald HALLER
STMICROELECTRONICS - ROUSSSET
gerald.haller@st.com
Tél : 04 42 68 55 78

Tutoriel 4 « Les fondamentaux de l'analyse de défaillance »

L'analyse de défaillance des composants est un processus complexe mettant en œuvre différentes techniques d'analyse et d'observation. Bien que certaines techniques aient évolué pour répondre aux défis amenés par la miniaturisation des composants aussi bien en termes dimensionnels que du fait de l'intégration hétérogène des technologies de fabrication, le « flot d'analyse de défaillance » et la plupart des techniques restent des fondamentaux.

Le tutoriel se propose de parcourir le flot d'analyse standard en partant de la collecte des informations relatives à la défaillance du composant jusqu'à la détermination de son mécanisme de défaillance. Chaque étape du processus permettra d'introduire les différentes techniques qui sont à disposition de l'analyste afin de progresser dans la recherche du défaut :

- Analyse non destructive (Xrays, SAM, Microscopie optique ...)
- Localisation de la défaillance (EMMI, OBIRCH, Thermographie, LVP, EBT, TRE ...)
- Observation et caractérisation du défaut (SEM, TEM, Auger, EDX ...)

Lors de chaque étape d'analyse, les différentes méthodes de préparation des échantillons (ouverture du boîtier, microsection FIB, polissage ...) qui sont primordiales dans la réussite d'une analyse seront aussi abordées.

JEUDI 11 JUIN

10h30 - 12h00
14h00 - 16h00

Guillaume BASCOUL
CNES - Toulouse
guillaume.bascoul@cnes.fr
Tél : 05 61 28 14 50

Tutoriel 5 « Techniques de localisation de défauts par moyens électro-optiques »

Techniques de laboratoire d'analyse de défaillances basées sur des moyens optiques ou sans contact.

L'analyse d'un défaut nécessite généralement l'approche la moins invasive possible afin de préserver son intégrité et de pouvoir en connaître parfaitement toutes ses caractéristiques avant de le visualiser physiquement, le plus souvent de manière destructive.

Dans le domaine de la microélectronique, cette étape de caractérisation et de localisation se traduit par l'emploi de techniques dites « sans contact » ou « non-invasives » le plus souvent basées sur des phénomènes optiques.

Ce tutoriel va balayer les deux grands domaines des techniques optiques pour la FA, à savoir les moyens basés sur une capture des phénomènes émissifs du composant (EMMI, TRI, TRE, Lock-in Thermography) et les moyens basés sur l'interaction du composant avec un faisceau laser (OBIRCh, OBIC, DLS, EOx, ou LVx ...). Une partie sera également consacrée à la préparation des échantillons et au setup électrique, deux étapes primordiales dans toutes ces techniques d'analyses.

Une explication des phénomènes physiques en jeu sera donnée pour chaque technique avec une illustration sous forme de cas d'application. Nous aborderons aussi les capacités et les limitations de ces techniques, ainsi que les contraintes de mise en œuvre.

Ce tutoriel s'adresse à l'ensemble des personnes intervenant dans le processus d'analyse d'un composant, et plus spécifiquement aux personnes en charge de l'analyse électrique (reproduction du mode de défaillance + localisation du défaut).

VENDREDI 12 JUIN

08h30 - 10h00

Yves DEPUYDT
TESCAN ANALYTICS Orsay
yves.depuuydt@tescan.com
Tél : +33 (0)4 42 53 83 18

Tutoriel 6 « Les techniques d'analyse de surface »

L'objet de ce tutoriel est de présenter un panorama des techniques de caractérisation physique, chimique, morphologique et structurale les plus couramment utilisées aujourd'hui en support de l'analyse de défaillance en microélectronique, pour l'analyse des surfaces et interfaces dans les matériaux. Ces méthodes d'analyse se distinguent par leur sensibilité, leur résolution spatiale latérale, leur résolution en profondeur et le type d'information chimique (élémentaire ou moléculaire) qu'elles adressent. L'accent sera donc mis sur la complémentarité des méthodes et sur les avantages et inconvénients de chacune ; en particulier, sur les contraintes qu'elles imposent en termes de géométrie, de préparation et de conditionnement des échantillons. Des exemples concrets illustreront l'apport de chacune de ces techniques de caractérisation pour la résolution de problèmes en analyse de défaillance.

Prérequis : formation ou expérience technique orientée matériaux microélectroniques

MARDI 09 JUIN

Julien PERRAUD
Président Association ANADEF
julien.perraud@thalesgroup.com
Tél : 01 69 41 56 70

8h30 - 9h00
9h00 - 10h00

Ouverture et présentation de l'Atelier 2020 Keynote SAM3

Avec la miniaturisation croissante des nouveaux composants 3D électroniques intégrant un nombre croissant de fonctionnalités, de nouveaux équipements d'analyse et de nouvelles méthodes sont nécessaires pour continuer à assurer la détection et l'observation des défaillances. C'est dans ce contexte, que le programme de recherche Européen SAM3 (Smart Analysis Methods for 3D Integration in Advanced Microsystems and Corresponding Materials) a été créé afin de renforcer la collaboration des acteurs européens du domaine et de permettre le développement d'outils adaptés, des méthodes avancées de caractérisation des matériaux, de localisation des défauts et d'analyse physique. Ce keynote permettra de partager les tendances et les challenges de l'intégration 3D, ainsi que les principaux résultats obtenus dans le cadre du projet.

10h15 - 12h15

Animateurs :

Philippe FABRE
ALSTOM TRANSPORT - Villeurbanne
philippe.fabre@alstomgroup.com
Tél : 04 81 65 71 37

Béatrice MOREAU
SERMA Technologies - Pessac
b.moreau@serma.com
Tél : 05 57 26 08 94

Olivier ALQUIER
PSA - Vélizy
olivier.alquier@mpsa.com
Tél : 01 57 59 25 18

Session n°1 « Connectique »

La miniaturisation, l'augmentation de la puissance et l'intelligence embarquée représentent autant de nouvelles fonctions qu'il faut raccorder au moyen d'une gamme sans cesse grandissante de connecteurs.

Ces connecteurs sont conçus afin de s'adapter aux contraintes physiques (vibrations, température, humidité...) tout en se conformant aux réglementations en vigueur avec le défi de rester économiquement intéressants.

Nous nous proposons cette année d'échanger avec vous sur des problématiques propres à la connectique autour de cas de défaillance et de synthèses d'études :

Le sertissage (synthèse des technos, critères, échanges autour de cas de défaillance),

Les revêtements alternatifs à la dorure :

Dorure et impact de l'épaisseur,

PdNi + lubrification (retour d'expérience, comportement en vieillissement),

Argenture dans l'automobile.

Cette session se veut ludique et est l'occasion d'échanger avec vous autour de cas de défaillances et problématiques afin de mutuellement s'enrichir du retour d'expérience de chacun.

MARDI 09 JUIN

14h00 - 18h00

Animateurs :

Catherine JEPHOS
DGA - Maîtrise de l'information - Bruz
catherine.jepfos@intradef.gouv.fr
Tél : 02 99 42 91 85

Pascal RETAILLEAU
MBDA France - Le Plessis Robinson
pascal.retailleau@mbda-systems.com
Tél : 01 71 54 26 76

Frédéric DULONDEL
Safran Electronics & Defense - Eragny
frederic.dulondel@safrangroup.com
Tél : 01 58 11 93 89

Session n°2 « Packaging, PCB et Assemblages »

Le packaging des composants fait l'objet d'évolutions permanentes avec l'émergence régulière de nouveaux boîtiers, dont les SIP, répondant aux besoins d'intégration de l'électronique. Associés à ces changements technologiques, les procédés de brasage et de réparation font l'objet d'adaptation et d'évaluation. De même, la densification associée des circuits imprimés conduit à repousser progressivement les limites technologiques, avec le défi de maintenir un niveau de qualité satisfaisant. Le recours aux composants enterrés dans les PCB témoigne de cette recherche d'intégration poussée.

Cette session sera l'opportunité de découvrir des nouveautés technologiques au travers de roadmaps, ou de résultats d'étude, par exemple. Seront aussi abordées les techniques d'analyses, destructives ou non destructives, pouvant couvrir la localisation de défauts jusqu'à la caractérisation matériau. Dans l'esprit de l'atelier, un temps sera également réservé à la présentation de cas d'analyses de défaillance, résolus ou non. Enfin, cette session pourra aussi être l'occasion de présenter les travaux menés par les groupes de travail ANADEF qui adressent les assemblages et les circuits imprimés.

MERCREDI 10 JUIN

08h30 - 10h00

Animateurs :

David LOHIER
HIREX Engineering - Toulouse
d.lohier@hirex.fr
Tél : 05 62 47 56 90

David TREMOUILLES
LAAS-CNRS - Toulouse
david.tremouilles@laas.fr
Tél : 05 61 33 68 87

Cécile NEVEU
DGA - Maîtrise de l'information - Bruz
cecile.neveu@intradef.gouv.fr
Tél : 02 90 02 63 74

Session n°3 « Analyse de défaillance des composants de puissance (Si, SiC, GaN) »

Les composants de puissance sont plus que jamais incontournables et leurs applications multiples : transport, énergie, conversion d'énergie, éclairage, spatial, militaire, ... Les composants électroniques de puissance n'ont jamais connu autant d'évolutions technologiques que ces dernières années. Poussés par leurs clients, les fabricants de composants conçoivent des composants plus performants, plus fiables, plus spécifiques, plus économes en énergie, plus respectueux de l'environnement et de la santé de l'utilisateur et surtout moins chers ! Ces évolutions sont possibles grâce à des révolutions technologiques tant au niveau de la puce que du boîtier. Aucune partie du composant n'est laissée de côté : les substrats de la puce (Si, SiC, GaN pour les technologies commercialisées, Diamant, ... pour les technologies en cours de développement), les pistes métalliques (Al, AlCu, AlSiCu, Cu, autres ?) et les diélectriques High K et Low K, les designs en 3D, les assemblages des puces (colles, brasures, frittages de poudre, wire bondings, ribbon bondings, copper-pillars, autres), les résines de boîtiers, les assemblages complexes en modules, et les PCBs.

Les nouveaux composants de puissance doivent être aussi bien caractérisés et fiabilisés que les anciens. Les mécanismes de défaillance des composants de puissance sont dorénavant aussi divers que variés. Le simple « burn out » n'est plus une explication suffisante et nécessaire ; ce n'est qu'une résultante d'une suite d'événements au sein du matériau ou de la structure. L'analyse de défaillance des composants de puissance nécessite la mise en œuvre d'une très large palette de moyens au même titre que pour les technologies les plus agressives ou très intégrées ainsi que la mise au point des techniques préalablement utilisées (par exemple la coupe micrographique).

Cette session aura donc pour objectif de faire un tour d'horizon de ces composants de puissance, des mécanismes de défaillances et des méthodes d'analyse associées.

MERCREDI 10 JUIN

10h30 - 12h00

Animateurs :

Suzel LAVAGNE
THALES - Toulouse
suzel.lavagne@thalesgroup.com
Tél : 05 61 28 23 43

Guillaume BASCOUL
CNES - Toulouse
Guillaume.bascoul@cnes.fr
Tél : 05 61 28 14 50

Gerald HALLER
STMicroelectronics - Rousset
gerald.haller@st.com
Tél : 04 42 68 55 78

Session n°4

« Analyse de défaillance des circuits intégrés VLSI »

Dans les phases de développement et de production, la complexité croissante des composants et notamment l'avènement des composants tels que les system-on-a-chip amènent de nouveaux défis dans l'analyse de défaillance. Les analyses de localisation de défaut, telles que le nanoprobing et les caractérisations électriques locales évoluent vers des analyses face arrière nécessitant un couplage avec des outils à haute résolution tels que des SEM des FIB ou des AFM. Les techniques de recherche de défauts classiques de TIVA ou OBIRCh montrent leurs limites car elles deviennent complexes à mettre en œuvre sur des défauts enterrés. Les nouvelles générations de Low-K demandent des développements de méthodes toujours plus avancées en termes de physico-chimie des plasmas.

Pour valider la cohérence entre le défaut physique et le défaut électrique, les experts d'analyse de défaillance font de plus en plus appel à des simulations utilisant des vecteurs de test mais également de la thermique ou du rayonnement électromagnétique pour comprendre les phénomènes observés. L'interaction entre les experts en test électrique, en techniques d'analyses de défaillance, les designers, et les technologues prend alors tout son sens pour tirer parti du meilleur de ce type d'analyse.

Enfin, les facteurs de limitation pour réaliser une analyse restent les suivants : - Besoins d'investissements de plus en plus lourds (développement de plateformes) ; - Risque accru dans la conclusion de l'analyse ; - Coût croissant d'une analyse ; - Temps d'exécution accru parfois incompatible avec les besoins de production.

Cette session sera l'occasion de présenter des cas d'analyse de défaillance sur des produits avancés mais aussi sur des composants moins intégrés. L'intérêt réside dans la démarche de l'analyste face à un problème, de ses choix techniques, ainsi que des difficultés auxquelles il a dû faire face.

MERCREDI 10 JUIN

14h00 - 18h00

Animateurs :

Françoise GONNET
THALES R&T- Palaiseau
Francoise.gonnet@thalesgroup.com
Tél : 01 69 41 56 68

Matthieu GLEIZES
MBDA France - Le Plessis Robinson
matthieu.gleizes@mbda-systems.com
Tél : 01 71 54 36 20

Jérémie DHENNIN
ELEMCA - Toulouse
jeremie.dhennin@elemca.com
Tél : 06 09 85 98 65

Session n°5

« Analyse de défaillance des composants passifs »

Les composants passifs sont très présents sur les cartes électroniques et sont à l'origine de nombreuses défaillances. Les fabricants de composants passifs font évoluer les technologies afin de rendre les composants plus robustes, de réduire les risques de défaillances et de minimiser les dégradations collatérales en cas de défaillance (PCB ou autres composants qui brûlent par exemple).

Pour autant nous sommes tous confrontés à des cas de défaillances de composants passifs. Vous aussi vous rencontrez probablement des difficultés pour déterminer les causes racines de ces défaillances.

L'objectif de cette session est de partager les expériences de chacun sur les différentes familles et les différentes technologies de composants passifs : condensateurs, résistances, inductances, super-condensateurs, transformateurs ...

Les présentations seront orientées sur différents axes :

- Etudes de cas de défaillances résolues ou non avec une approche concrète en terme d'analyse et de recherche des mécanismes de défaillance,
- Tests de vieillissement sur des composants passifs, à l'issue desquels des analyses ont été réalisées.

La session permettra également de présenter les travaux menés par le groupe de travail ANADEF « Composants passifs », ainsi que les premiers résultats obtenus.

JEUDI 11 JUIN

08h30 - 10h00

Animateurs :

Gérald GUIBAUD
Thales - Toulouse
gerald.guibaud@thalesgroup.com
Tél : 05 61 28 16 95

Claire VACHER
LYNRED - Veurey Voroize
claire.vacher@lynred.com
Tél : 04 76 53 68 17

Session n°6

« Analyse de défaillance des composants opto-électroniques et hyperfréquences »

Depuis quelques années, les produits électroniques intègrent de plus en plus de fonctionnalités nécessitant l'utilisation de composants dits « optoélectroniques », aussi bien dans les applications grand public (téléphone, tablette, console de jeu, système domotique...) que dans les secteurs aéronautique, spatial ou militaire. Ces composants vont capter ou émettre un rayonnement photonique dont la longueur d'onde variera selon les cas. Nous retrouvons parmi ces composants les photodiodes, les photomultiplicateurs, les photorésistances, les phototransistors, les cellules photoélectriques, les diodes laser, les diodes électro-luminescentes, les micro-bolomètres etc.

Ces technologies utilisent de nouveaux types de composants actifs dont les modes de défaillances vont être différents de ceux rencontrés jusqu'à présent dans le domaine de la microélectronique classique (VLSI, CMOS etc...). Par conséquent, les techniques d'analyses de défaillances ont dû évoluer pour s'adapter à ces nouveaux modes de défaillances, d'un point de vue caractérisation électro-optique, localisation de défauts, définition des nouvelles sources de défauts, compatibilité des analyses avec les nouveaux matériaux...

Cette année, nous ouvrirons également cette session à des applications hyperfréquences dont les gammes de longueurs d'ondes centimétriques étendent les domaines d'applications : notamment le téléphone portable, le téléphone sans fils, la communication et la navigation par satellite, les systèmes de mesure industriels, le contrôle du trafic aérien, la radiométrie, le contrôle des processus industriels, contrôle du trafic routier, la médecine et l'utilisation immédiatement évidente des hyperfréquences dans la télévision par satellite, les radars de police, les systèmes d'alarme et même l'automobile (système de contrôle et d'arrêts automatiques). De plus, l'utilisation de circuits à temps d'impulsions très courts (« gigabit logic ») pour les communications à large bande et les ordinateurs rapides ont introduit les hyperfréquences dans le large domaine de l'électronique digitale.

L'objectif de cette session est de partager des cas de défaillances sur composants optoélectroniques mais aussi hyperfréquences et d'en détailler les processus d'analyses et les techniques de tests électro-optiques et de recherche de défauts associés ayant permis d'aboutir à la résolution du problème initial.

JEUDI | 1 JUIN

10h30 - 12h00

Animateurs :

Yves MÈNE
SAFRAN AEROSYSTEMS - Plaisir
yves.mene@safrangroup.com
Tél : 01 61 34 13 95

Djemel LELLOUCHI
ELEMCA - Toulouse
djemel.lellouchi@elemca.com
Tél : 05 61 27 32 40

Thomas BOUTARIC
ALSTOM Transport - Villeurbanne
thomas.boutaric@alstomgroup.com
Tél : 04 81 65 69 20

Session n°7

« Caractérisations et défaillances de vernis, potting et autres protections d'assemblages »

Les matériaux polymères sont rarement abordés dans les formations classiques d'électronique et pourtant on en retrouve beaucoup dans nos assemblages électroniques : résines d'encapsulation, vernis de protection, etc...

Ces matériaux permettent de protéger les composants des agressions externes, voire remplissent d'autres fonctions, mais peuvent parfois aussi induire des défaillances.

Les problématiques associées sont nombreuses.

Le choix de la technologie de protection parmi la multitude des méthodes possibles doit prendre en compte les contraintes environnementales prévues, et les performances souhaitées.

Attention à ne pas oublier leur mise en œuvre (procédé manuel ou robotisé, etc.). Cela nécessite des études alliant caractérisations mécaniques, chimiques, thermiques ou thermomécaniques, prenant en compte tous les matériaux en présence.

Cette session permettra d'aborder ces problématiques :

- Impact des procédés de mise en œuvre,
- Méthodes de suivi de procédé,
- Moyens de caractérisation,
- Et bien sûr défaillances associées à chaque étape.

JEUDI | 1 JUIN

14h00 - 16h00

Animateurs :

Jean-Claude CLEMENT
THALES R&T - Palaiseau
jean-claude.clement@thalesgroup.com
Tél : 01 69 41 56 76

Tristan DUBOIS
IMS, université de Bordeaux
tristan.dubois@ims-bordeaux.fr
Tél : 05 40 00 33 77

Session n°8

« Simulation et reproduction de défauts électriques (EOS, ESD, CEM) »

Lors d'une analyse de défaillance de composants (circuit intégré, passif, carte imprimée ou système), nous sommes régulièrement confrontés au dilemme d'un défaut, soit intrinsèque au composant (fabrication, technologie, design, ...), soit extrinsèque (surcharge électrique, thermique, environnement, ...).

La reproduction de défaut, que ce soit par simulation ou par des essais physiques est certainement la méthode qui permettra d'apporter la preuve de nos hypothèses de défaillance. Cependant ce principe n'est pas aussi simple à mettre en œuvre ; a-t-on pris en compte les bonnes variables, les bonnes lois ? L'échantillonnage est-il exhaustif, les contraintes, les sollicitations sont-elles bien dimensionnées ?

Au cours de cette session seront présentées différentes études de cas sur des circuits intégrés, des composants discrets, des composants passifs ou des cartes imprimées, mettant en œuvre des simulations, des essais physiques de reproduction de défauts ou les deux. Ces études permettront d'évaluer les possibilités de cette méthode mais également ses limites.

VENDREDI | 2 JUIN

10h15 - 12h00

Animateurs :

Matthieu GLEIZES
MBDA France - Le Plessis Robinson
matthieu.gleizes@mbda-systems.com
Tél : 01 71 54 36 20

Jérôme TOULZE
AIRBUS Operations - Toulouse
jerome.toulze@airbus.com
Tél : 05 61 18 25 24

Dominique TALBOURDET
EDF R&D - Moret-sur-Loing
dominique.talbourdet@edf.fr
Tél : 01 60 73 63 91

Session n°9

« Défiabilisation des composants dans le process industriel ou en utilisation »

Les composants électroniques sont de plus en plus fiables mais également de plus en plus fragiles, et donc sensibles aux stress. Le taux de panne qui est proche du zéro défaut à réception augmente brutalement dès qu'ils sont utilisés et intégrés dans une application. Dans de nombreux cas, la cause racine de ces pannes est une mise en œuvre inappropriée : conditionnement inadapté, mauvaise gestion du MSL, procédés de fabrication et test mal maîtrisés, utilisation client en dehors des limites garanties, stockage de longue durée mal maîtrisé, etc. Beaucoup de ces stress induits vont également générer des défauts latents qui ne seront pas détectés par les contrôles. Il est donc capital pour l'industriel de savoir identifier et éradiquer ces causes de défiabilisation s'il veut améliorer son rendement et la fiabilité de ses produits. La difficulté majeure pour l'expert est l'identification des causes racines de la défaillance car il s'agit en général de stress « parasites » donc hors processus nominal et souvent accidentels. D'autres événements peuvent générer un défaut latent non-détectable lors d'un test fonctionnel mais susceptible d'évoluer au cours de la vie du composant. Outre ces stress parasites, un composant peut aussi se dégrader au cours d'une utilisation particulièrement longue comme c'est le cas dans les domaines militaires, aéronautiques et production d'énergie. L'objectif de cette session est de partager les expériences de chacun en balayant toutes les étapes de vie d'un composant du déstockage magasin à l'utilisation du matériel par le client. Les présentations seront orientées sur plusieurs axes :

- Études de cas ayant une signature particulière et si possible la cause bien identifiée,
- Mécanismes de défaillance liés à l'évolution des technologies, et aux procédés de fabrication (nouveaux boîtiers, assemblage « sans plomb », nouveaux procédés de nettoyage, vernissage des cartes...),
- Exemples montrant la relation entre les stress induits par le procédé industriel ou l'application elle-même (température, ESD, EOS, EMI, rayonnement cosmique, Rayons X, contraintes électromagnétiques, fissures de boîtiers, délaminations, pollutions, etc.) et la fiabilité à long terme.
- Sensibilité de la conception système aux perturbations transitoires, entraînant une défiabilisation au niveau composant.

PROGRAMME DES MICRO-ATELIERS

Ces « micro-ateliers » ont pour objectif de favoriser les échanges informels entre les analystes de défaillance. Chaque « micro-atelier » comprendra une description rapide du thème suivi d'études de cas montrant des exemples d'utilisation. L'étude de ces cas permettra de décrire des problèmes résolus ou non et de présenter la méthode employée pour traquer un défaut. A l'issue de ces présentations, un débat entre les participants pourra donner lieu à des discussions qui favoriseront l'échange et le partage d'expériences.

MERCREDI | 0 JUIN

08h30 - 12h00

Animateurs :

Véronique LARGEAUD
ALSTOM Transport - Villeurbanne
veronique.largeaud@transport.alstom.com
Tél : 06 48 28 29 86

Sylvie HEUDE-VERNEYRE
AIRBUS Defence & Space Elancourt
sylvie.heude-verneyre@airbus.com
Tél : 01 82 61 25 94

Djemel LELLOUCHI
ELEMCA - Toulouse
djemel.elloouchi@elemca.com
Tél : 05 61 27 32 40

Micro-atelier n°1 « Packaging, PCB, Assemblages »

Ce micro-atelier traitera pour la première fois l'ensemble des éléments entrant en jeu dans l'élaboration d'une carte électronique, les PCB, l'assemblage et le packaging.

Nous commencerons tout d'abord par une immersion dans le monde fantastique des PCB, du simple couche aux multi-couches HDI avec composants enfouis en passant par les flex. Les problématiques associées telles que le black pad, la corrosion, les pollutions mais aussi tous les challenges d'analyse pourront également être abordés.

Ensuite, nous poursuivrons par les problématiques associées aux processus d'assemblage de cartes, qu'il s'agisse de sans plomb, de backward, de tenue en environnement sévère ou juste de qualité des joints brasés. Chaque thème pourra être l'occasion de discussions sur le partage des problématiques rencontrées, sur les méthodes de préparation des échantillons, sur les limitations des techniques d'analyse usuelles et quelles nouvelles techniques utiliser ou adapter.

Enfin, nous terminerons ce micro atelier en nous intéressant aux aspects Packaging. Les technologies évoluant très fortement au cours de ces dernières années, poussées par la miniaturisation continue des objets électroniques, l'augmentation constante de la densité et l'intégration de multiples fonctionnalités. Cette densification croissante a été rendue possible par l'introduction de nouveaux matériaux, de nouvelles technologies d'interconnexion haute densité et par l'intégration de technologies multiples au sein d'un même boîtier.

Vous aurez donc l'occasion d'évoquer toutes les problématiques associées à ces évolutions (accessibilité, qualité de fabrications, fiabilité....) ainsi que toutes les techniques d'analyses associées qu'elles soient dédiées ou détournées pour ces nouveaux objets.

JEUDI | 1 JUIN

08h30 - 10h00

Animateurs :

Audrey GARNIER
STMICROELECTRONICS - Rousset
audrey.garnier@st.com
Tél : +39 342 50 17 855

Suzel LAVAGNE
THALES - Toulouse
suzel.lavagne@thalesgroup.com
Tél : 05 61 28 23 43

Micro-atelier n°2 « FIB »

Désormais, le FIB est considéré comme un équipement clé dans nos laboratoires d'analyse de défaillance. Il se décline aujourd'hui en de nombreuses versions en fonction de son application finale et de son type de colonne. Les plus répandues sont les suivantes :

- Le plus classique est le dual beam à source Ga (grande maturité technique et applicative). Sa limitation en courant n'autorise qu'un faible volume de gravure et restreint le champ d'analyse à des structures de faibles dimensions, inférieures à 40µm ;
- Plus spécifique, le FIB de circuit edit est configuré pour modifier localement et très précisément des pistes métalliques d'un circuit intégré grâce à un système de navigation CAD optimisé et d'un GIS (Gas Injection System) performant ;
- Plus récemment, le besoin d'augmenter la vitesse de gravure a conduit au développement et à l'introduction sur le marché d'une nouvelle source basée sur un Plasma de Xénon. La vitesse de coupe est 50 fois supérieure et les structures concernées un ordre de grandeur plus larges et profondes.

Chacune de ces versions adressent des problématiques différentes, du choix de la source à la gestion des artefacts tels que l'amorphisation ou l'effet « rideau » ou encore à l'accessibilité des structures sur des produits de plus en plus complexes et denses.

Ce micro atelier se veut un moment d'échange et de débat sur les difficultés ou les succès dont vous nous ferez part en tant qu'utilisateurs ou aspirant-utilisateurs !

JEUDI | 1 JUIN

16h30 - 18h00

Animateurs :

Jean Baptiste LIBOT
SAFRAN Electronics & Defense - Eragny
jean-baptiste.libot@safrangroup.com
Tél : 01 58 11 56 70

Alexandrine GUEDON-GRACIA
IMS, université de Bordeaux
alexandrine.gracia@ims-bordeaux.fr
Tél : 05 40 00 33 34

Micro-atelier n°3 « Simulation et reproduction de défauts observés dans les assemblages électroniques »

Les simulations par éléments finis et les modèles analytiques peuvent permettre de rendre compte des défauts observés dans les assemblages électroniques et ainsi aider à mieux comprendre les défaillances pouvant être observées au cours de leur cycle de vie ou lors d'essais de vieillissement accélérés.

Ces méthodes de calculs, qu'elles soient numériques ou analytiques, doivent être complémentaires des essais de vieillissement afin de d'assurer leur précision et ainsi permettre de résoudre des problèmes concrets.

Ce micro-atelier sera un lieu d'échanges, de partages et de débats sur des cas de défauts dans les assemblages électroniques au niveau des brasures, boîtiers, PCB, connecteurs, etc.

Alors si vous vous posez des questions ou si vous avez des réponses sur ce thème, n'hésitez pas à venir participer à ce micro-atelier.

VENDREDI | 2 JUIN

08h30 - 12h00

Animateurs :

Vanessa CHAZAL
Thales - Toulouse
Vanessa.chazal@thalesgroup.com
Tél : 05 61 28 75 28

Claire VACHER
LYNRED - Veurey Voroize
claire.vacher@lynred.com
Tél : 04 76 53 68 17

Christophe GUERIN
DGA - Maîtrise de l'information - Bruz
Christophe-jc.guerin@intradef.gouv.fr
Tél : 02 99 42 65 04

Micro-atelier n°4 « Préparation d'échantillons »

Les échantillons que nous devons analyser présentent des technologies d'assemblage de plus en plus complexes : SIP, assemblage 3D, TSV, flip chip, COB, MEMS... Aux technologies silicium aux nœuds de plus en plus fins, s'ajoutent les technologies GaAs, GaN, SiC, SiGe et bien d'autres pour générer des objets de plus en plus complexes et variés.

Comment préparer ces échantillons pour pouvoir localiser et mettre en évidence les défauts ? (accès face avant, face arrière avec amincissements ultimes, techniques de repackaging...).

Quelles techniques sont mises en œuvre et quels sont vos retours d'expérience ?

Comment adapter les techniques de delayering, microscopie en transmission, EBSD, révélations chimiques... aux nouvelles technologies?

Quels nouveaux outils (FIB plasma, laser, polisseuses pour amincissement ultimes, micro-tomographie...) ou nouvelles méthodes doit-on mettre en œuvre ?

Ce micro-atelier sera un lieu d'échanges et de débats sur les techniques et outils de préparation actuels et à venir, les difficultés rencontrées, les astuces et tout ce qui peut intéresser ceux et celles qui sont confrontés aux problématiques de préparation d'échantillons.

INSCRIPTIONS : INFORMATIONS GÉNÉRALES

INFORMATIONS PRATIQUES

- **Site et coordonnées :** Au bord de l'océan, séparé uniquement par une dune, sur la côte des Landes, dans une région très « nature » du Pays Basque, formule résidentielle dans le Club Belambra de Seignosse-Hossegor « Les Tuquets » en logement de décoration contemporaine et fonctionnelle, accès WiFi.
- **Transport/Accès :** En avion, aéroport de Biarritz à 40 km, aéroport de Bordeaux Mérignac à 170 km.
En train, gare de Dax à 38 km.
En voiture, A63, sortie 10, suivre N10, puis D810 (Coord. GPS lat. : 43.70466 GPS lon. : - 1.432771)
- **Accueil sur site :** Le secrétariat ANADEF sera ouvert le lundi 8 juin 2020 à partir de 13h le mardi 9 juin 2020 à partir de 8h00 et tous les jours aux heures d'ouverture de l'Atelier.
Merci de vous y présenter pour vous enregistrer. Les clés de vos chambres vous seront remises à l'accueil du Belambra.

CONTACT

- **Votre contact pour toute information concernant votre inscription :** Véronique LHEUREUX
ADERA - 162, avenue Albert Schweitzer - CS 60040 - 33608 Pessac Cedex
atelier@adera.fr - Tél : 05 56 15 11 98 - Fax : 05 56 15 11 60

MODALITÉS ET DROITS D'INSCRIPTIONS

- L'inscription à l'Atelier s'effectue en ligne via le site www.anadef.org. Elle est nominative. Aucune inscription partagée ne sera acceptée.
- Le montant de la participation inclut par jour :
 - Hébergement (nuit) / restauration (petit-déjeuner, pauses, déjeuner et dîner)
 - Accès et participation aux conférences
 - Documentation, clé USB, actes et liste des participants
- Un tarif préférentiel (indiqué ci-dessous) est accordé aux membres ANADEF à jour de leur cotisation 2020.
- Un tarif dégressif sera appliqué à partir de la deuxième inscription pour les participants appartenant à la même entreprise et travaillant sur le même site.

L'Atelier ANADEF propose un programme de formation, incluant la participation aux 4 journées de l'Atelier, non dissociables ; il est donc possible de s'y inscrire au titre de la formation continue.

La formation est conventionnée par l'ADERA - organisme de formation enregistré sous le n° de déclaration d'activité formation 72 33 06982 33 - référencé sur le DATADOCK (ID DD 0014204).

	Membre ANADEF	Non membre - ANADEF	TVA 20%
1 ^{ère} inscription	1 572 € TTC (1310,00 € HT)	1 956 € TTC (1630,00 € HT)	
2 ^{ème} inscription	1 416 € TTC (1180,00 € HT)	1 812 € TTC (1510,00 € HT)	

Formule tout compris : forfait hébergement, participation à la conférence, documentation.

- **Date limite d'inscription :** Les inscriptions devront se faire via la plateforme d'inscription en ligne accessible sur le site www.anadef.org, au plus tard le 13 mai 2020. Passée cette date, la réservation hôtelière n'est pas garantie sur le site de l'Atelier.
- Une confirmation d'inscription sera adressée à chaque participant ayant finalisé son inscription.
- L'accès à l'Atelier sera réservé aux participants ayant acquitté leurs droits d'inscription ou finalisé leur dossier dans le cadre d'une inscription au titre de la formation (convention de formation signée).

Annulation/Remboursement : Toute annulation doit être signalée par écrit ou courrier électronique. Si l'annulation parvient à l'ADERA avant le 12 mai 2020, 160 € HT (192 € TTC) de frais de dossier seront retenus. Aucun remboursement ne sera effectué à partir du 13 mai 2020.

Association ANADEF

Depuis plus de 20 ans, dans un cadre assez peu formel, se réunissent les principaux laboratoires et sociétés du domaine de l'électronique. Afin d'améliorer notre fonctionnement et d'offrir de meilleurs services, nous sommes passés en association.

Les métiers de l'analyse de défaillance des composants et sous-ensembles électroniques, ainsi que celui de la qualification des composants, dans lesquels nous évoluons, sont en perpétuelle évolution. Néanmoins ces métiers sont limités dans chaque entreprise à un petit groupe de personnes. Les investissements, tant en matériel qu'en formation, sont coûteux, et faire le bon choix est essentiel tant pour réaliser directement que pour sous-traiter. L'isolement ne permet pas de faire face rapidement et à faible coût aux nouveaux problèmes, alors qu'un travail de groupe basé sur l'échange et le partage des connaissances permet d'y remédier.

Parmi les principales actions réalisées :

- L'évaluation de techniques nouvelles ou de nouveaux équipements,
- La mise au point de méthodes d'essais, des comparaisons inter-labos,
- Le partage technique des expériences et des mécanismes de défaillance et les signatures physiques associées,
- La création d'un réseau Intranet réservé à nos membres et associé au Site Web (www.anadef.org).

L'appartenance à notre association est le meilleur moyen d'enrichir à la fois ses compétences et ses relations professionnelles ce qui offre alors de multiples possibilités : accès formel ou informel à l'expert du domaine, réalisation d'un type d'essai particulier, organisation de coopérations dans le cadre de programmes français ou européens.

Olivier	Alquier	PSA GROUPE	Yves	Mène	Safran AEROSYSTEMS
Guillaume	Bascoul	CNES	Béatrice	Moreau	SERMA Technologies
Thomas	Boutaric	ALSTOM TRANSPORT	Cécile	Neveu	DGA/Maîtrise de l'Information
Vanessa	Chazal	Thales	Julien	Perraud	THALES Research & Technology
Jean-Claude	Clément	Thales Research & Technology	Pascal	Retailleau	MBDA France
Yves	De Puydt	TESCAN Analytics	Luc	Saury	STMICROELECTRONICS
Jérémy	Dhennin	ELEMCA	Dominique	Talbourdet	EDF R&D
Tristan	Dubois	IMS - Université de Bordeaux	Jérôme	Toulze	AIRBUS Opérations SAS
Frédéric	Dulondel	Safran Electronics & Defense	David	Trémouilles	LAAS/CNRS
Philippe	Fabre	ALSTOM TRANSPORT	Claire	Vacher	LYNRED
Hélène	Frémont	IMS - Université de Bordeaux	Jean-Michel	Vinassa	IMS - Université de Bordeaux
Audrey	Garnier	STMICROELECTRONICS			
Matthieu	Gleizes	MBDA France			
Françoise	Gonnet	Thales Research & Technology			
Alexandrine	Guédon-Gracia	IMS - Université de Bordeaux			
Christophe	Guerin	DGA/Maîtrise de l'Information			
Gérald	Guibaud	Thales			
Gérald	Haller	STMICROELECTRONICS			
Sylvie	Heude-Vermeire	AIRBUS Defense & Space			
Catherine	Jephos	DGA/Maîtrise de l'Information			
Véronique	Largeaud	ALSTOM TRANSPORT			
Suzel	Lavagne	Thales			
Djemel	Lellouchi	ELEMCA			
David	Lohier	HIREX Engineering			
Jean Baptiste	Libot	Safran Electronics & Defense			

Coordination technique de l'atelier :

Hélène FREMONT - IMS - Université de Bordeaux
helene.fremont@ims-bordeaux.fr - Tél : 05 40 00 27 65

Claire VACHER - LYNRED
claire.vacher@lynred.com - Tél : 04 76 53 68 17

Jean-Marie CHOPIN - ANADEF
jeanmarie.chopin@wanadoo.fr - Tél : 06 81 22 57 11

Philippe PERDU - ANADEF
philippe.perdu.cnes@gmail.com - Tél : 07 81 60 61 15

OBJECTIFS DE L'ATELIER

- 1 Faire se rencontrer et dialoguer de façon informelle tous ceux (fabricants de composants, équipementiers, laboratoires d'analyse & universitaires) qui ont en commun le souci de comprendre les mécanismes de défaillance afin de mieux maîtriser les choix de composants en fonction des conditions d'applications (profil de mission) et des objectifs de fiabilité.
L'atelier est le lieu privilégié pour discuter des problèmes concrets qui se posent aux utilisateurs de composants. Il permet d'aborder les cas résolus ou non, de comparer les approches ou les méthodologies et de rapprocher les utilisateurs des fabricants.
- 2 Répondre aux attentes des participants à savoir :
 - Elargissement du domaine d'activité (aller au-delà des techniques d'analyse),
 - Prise en compte des exigences du marché et des contraintes économiques,
 - Partage d'expériences,
 - Rationalisation des démarches/approches,
 - Développement des contacts informels.
- 3 Promouvoir un réseau de spécialistes via l'association ANADEF.
- 4 Le programme de l'Atelier propose une formation qui fournit des bases de connaissances, pour une parfaite compréhension des exposés théoriques présentés au cours des sessions. Elle se répartit sur six modules appelés Tutoriels.

CARACTÉRISTIQUES DU 17^{ème} ATELIER

Cette 17^{ème} édition de l'ATELIER ANADEF continuera d'explorer toujours plus avant le monde merveilleux de l'Analyse de défaillances des composants et systèmes électroniques et constituera le rendez-vous incontournable pour tous ceux qui cherchent à comprendre ou découvrir les mécanismes de défaillance.

Suite aux retours de l'édition précédente, cet Atelier 2020 vous proposera quelques nouveautés :

- 4 jours au lieu de 3,5 avec le démarrage de l'Atelier dès le lundi après-midi
- du temps réservé pour permettre plus d'échanges : Questions Ouvertes, Sessions, avancement pour les GT...

Tout ne changera pas, le programme s'articulera toujours autour des trois piliers que sont les sessions, les tutoriels et les micro-ateliers. Côté sessions, en plus des thèmes classiques, de nouveaux thèmes (reproduction de défauts, vernis et connectique) feront leur entrée. Les micro-ateliers, toujours basés sur l'échange autour de présentations courtes ou de questions, voient leur nombre augmenter afin d'aborder toujours plus de sujets. Les tutoriels seront également au rendez-vous et permettront à nouveau de rendre l'ATELIER éligible au titre de la formation. Comme vous avez pu le voir, ils reprennent à la fois les bases de notre métier pour les nouveaux venus ou s'étendent à des sujets connexes.

Nous retrouverons, en 2020, le site de Seignosse qui en plus d'un cadre magnifique nous permet de proposer l'hébergement et les conférences dans un même lieu afin de favoriser au maximum les échanges et la convivialité.

Ne manquez pas cette occasion unique de rencontrer les différents acteurs impliqués dans l'Analyse de défaillance, issus de domaines variés, et de partager votre expérience ou questionnement avec vos homologues des laboratoires industriels, publics ou académiques mais également fournisseurs d'équipements.

Le Président d'ANADEF
Julien Perraud