

# ATELIER 2006

10<sup>ème</sup> atelier

« *Analyse et mécanismes de*

*défaillance des composants*

*pour l'électronique* »

**Port  
d'Albret  
30 mai au  
2 juin 2006**

**Organisé par**

**ANADEF**

*Association loi 1901*

Analyse de défaillance & technologie des  
composants électroniques

*www.anadef.org*

**Avec le concours de**



**Mardi 30 mai**

8h00 - 9h30

9h30 - 10h00

**Philippe PERDU**  
CNES - Toulouse  
philippe.perdu@cnes.fr  
Tel : 05 61 28 20 17

10h00 - 12h00

14h00 - 17h30

Animateurs :

**Jean-Claude CLEMENT**  
THALES R&T Palaiseau  
jean-claude.clement@thalesgroup.com  
Tel : 01 69 41 56 76

**Marie-France ROUX**  
EADS Astrium Vélizy  
marie-france.roux@astrium.eads.net  
Tel : 01 39 45 29 31

**Isabelle LOMBAERT-VALOT**  
EADS CCR - Suresnes  
isabelle.lombaert-valot@eads.net  
Tel : 01 46 97 34 86

**Mercredi 31 mai**

8h30 - 12h00

Animateurs :

**Philippe PERDU**  
CNES - Toulouse  
philippe.perdu@cnes.fr  
Tel : 05 61 28 20 17

**Patrick POIRIER**  
Philips Semiconductors - Caen  
patrick.poirier@philips.com  
Tel : 02 31 45 38 68

**Philippe SARDIN**  
Alliance Crolles 2 - Crolles  
philippe.sardin@st.com  
Tel. : 04 38 92 30 68

## Accueil des participants

Ouverture et présentation de l'atelier

### Session n°1

#### « Interconnexions: report et packaging »

« **Sans-plomb** » : le mouvement est lancé et déjà les premières défaillances apparaissent. Cette session sera le moment opportun de faire un tour d'horizon des technologies d'assemblage sans plomb, de présenter des exemples de plans de qualification, les résultats et les nouveaux modes de défaillance associés.

« **Composants BGA** » : toujours la même question : comment contrôler l'assemblage des BGA ? Nous tenterons d'y répondre en dissociant les moyens et les méthodes utilisés pour les grandes séries et les petites séries demandant un niveau de fiabilité très élevé.

« **Composant SIP** » (System In Package : cube 3D, puces empilées, ...) : Comment analyser ces assemblages, avec quelles techniques ? Quels sont les mécanismes de défaillance ? Nous traiterons à l'aide de présentations d'études de cas les moyens d'obtenir ces informations.

« **Simulation** » : Nous utilisons de plus en plus des outils de simulation pour caractériser et comparer le comportement thermomécanique d'assemblages électroniques. Des exemples de différentes méthodes (logiciels aux éléments finis, calcul analytique, dispositifs optiques, ...) montreront l'intérêt de ces approches ainsi que leurs limites.

« **Nouveaux équipements** » : Parmi les nouvelles techniques de caractérisation des assemblages et matériaux, la tomographie acoustique au GHz atteint une résolution submicronique. La tomographie X permet la reconstitution d'images en 3D pour l'analyse des assemblages complexes et la microfluorescence X apporte des informations complémentaires avec une meilleure sensibilité que l'analyseur EDX.

Nous ferons le point sur ces techniques en présentant leur champ d'application avec des exemples d'analyses, leurs avantages et leurs limites. Nous parlerons également d'autres techniques, comme la technique FIB appliquée à la résolution de problèmes d'assemblage de circuits imprimés ...

### Session n°2

#### « Analyse de défaillance des VLSI »

L'analyse de défaillance des VLSI s'est adaptée avec le nombre croissant de transistors, la diminution des géométries, l'augmentation de niveaux d'interconnexions, l'évolution des techniques d'assemblage et d'intégration de systèmes complexes dans la puce (SOC) et dans les boîtiers (SIP). La procédure d'analyse de défaillance comporte toujours une phase de diagnostic électrique, une phase de localisation du défaut et une phase d'analyse locale électrique et/ou physico-chimique de la zone incriminée dans le circuit. Toutefois, les outils et les méthodes appliquées ont pris en compte les nouveaux besoins issus de cette nouvelle donne technologique.

Cette session sera l'occasion de présenter les techniques actuelles les plus couramment pratiquées par les laboratoires des fabricants, des intégrateurs, des utilisateurs finaux et des prestataires ainsi que les évolutions prévisibles à court terme.

Parmi les tendances qui se dégagent de la pratique des laboratoires et des nouveaux défis qu'ils doivent relever, nous insisterons sur les points suivants.

- La localisation de défauts fait appel à des techniques dites face arrière nécessitant au préalable des techniques de préparation qui restent très complexes. L'apparition de puces empilées dans des boîtiers démontre que rien n'est acquis dans ce domaine et que les défis à relever sont sans cesse renouvelés.

- Une alternative consiste à croiser les techniques de test et d'ATPG, la navigation, les bibliothèques de fautes pour constituer un ensemble pouvant faciliter la localisation directe du nœud défaillant.

- La localisation de la zone du défaut ne résout pas tout. L'imagerie optique traditionnelle ne répond plus au besoin de résolution spatiale des technologies actuelles. L'assistance apportée par la CAD, les modes électriques de la microscopie à force atomique et le microprobing commencent à se généraliser.

- La préparation d'échantillons et l'analyse physico-chimique des composants ultimes posent aussi de gros problèmes liés aux matériaux utilisés : cuivre, diélectriques « low k » et « high k ». Le manque de sélectivité ou d'activité des réactifs chimiques traditionnellement utilisés, la finesse et la fragilité de certaines couches, complexifient la tâche des laboratoires qui ont du adapter leurs techniques à ces nouvelles contraintes.

- La taille du défaut et des structures ne permet pas toujours une bonne visualisation dans un microscope électronique à balayage classique. Les techniques à plus forte résolution comme le TEM, les approches 3D avec le STEM et le FIB associé à ces techniques sont de plus en plus sollicitées.

- Enfin, l'évolution vers des nœuds technologiques de plus en plus fins ne doit pas faire oublier que des industries majeures telles la téléphonie, l'automobile et la domotique font appels à des circuits dont la technologie reste souvent compatible avec des techniques d'analyses plus éprouvées tel le test par faisceau d'électrons.

**Mercredi 31 mai**

**14h00 - 17h30**

Animateurs :

**François LE RAY**  
Hispano Suiza  
francois.leray@hispano-suiza.com  
Tel : 01 60 59 93 94

**Jean-Pascal MICHELET**  
Schneider Electric -Grenoble  
jean-pascal.michelet@schneider-electric.com  
Tel : 04 76 57 79 60

**Yves OUSTEN**  
IXL - Bordeaux  
yves.ousten@ixl.fr  
Tel : 05 40 00 65 47

**Jeudi 1 juin**

**8h30 - 12h00**

Animateurs :

**Jean-Marie CHOPIN**  
AIRBUS France - Toulouse  
jean-marie.chopin@airbus.com  
Tel : 05 61 93 04 55

**Christian MOREAU**  
DGA - CELAR - Bruz  
christian.moreau@dga.defense.gouv.fr  
Tel : 02 99 42 93 98

**Pascal RETAILLEAU**  
MBDA France - Vélizy  
pascal.retailleau@mbda.fr  
Tel : 01 34 88 19 90

**14h00 - 17h30**

Animateurs :

**Marise BAFLEUR**  
LAAS CNRS Toulouse  
marise@laas.fr  
Tel : 05 61 33 69 66

**Jean-Pierre GUERVENO**  
MBDA France - Vélizy  
jean-pierre.guerveno@mbda.fr  
Tel : 01 34 88 19 73

**Dominique TALBOURDET**  
EDF R&D - Moret-sur-Loing  
dominique.talbourdet@edf.fr  
Tel : 01 60 73 63 91

## Session n°3

### « Dispositifs passifs, actifs discrets, piézoélectriques et connecteurs »

Longtemps « laissés à l'abandon », les composants dits « passifs » doivent maintenant répondre à des critères de plus en plus pointus, miniaturisation, fiabilité, automatisation, facilité d'utilisation. Leur nombre dans les équipements est souvent élevé et afin de répondre à ces critères, ils sont fabriqués avec de nouveaux matériaux et sont de plus en plus implantés directement dans des substrats et des dispositifs intégrés.

Si la fiabilité du silicium n'est plus à prouver, les éléments passifs constituent souvent le point faible des équipements. Un rappel des technologies mises en œuvre, des mécanismes de défaillances, de la méthodologie d'analyse et de la caractérisation électrique sera fait au cours de cette session. Le cas des composants de puissance passifs et des composants piézoélectriques en forte progression avec les équipements « tout électriques » sera abordé au cours des présentations. Un point sera fait sur les connecteurs des dernières générations ultra miniaturisés souvent confrontés à des contraintes thermo-mécanique importantes.

## Session n°4

### « Fiabilité : outils et modèles pour la qualification des technologies »

- Comment bien utiliser la loi de Weibull ?

- Un certain nombre de fabricants extrapolent allègrement des données de fiabilité extraites de tests de vieillissement accéléré mettant en évidence des mécanismes d'usure à la période de vie utile du composant. Or les 2 lois statistiques sont bien distinctes (Galton d'un côté, Poisson de l'autre). Il y a souvent une confusion entre MTF, MTTF, MTBF,.... Comment éviter les pièges et décrypter correctement les données constructeurs.

- FIDES : 2 ans après; quel retour de la part des utilisateurs?

- Loi de vieillissement en stockage longue durée: certaines applications (militaire, ferroviaire, automobile) requièrent des temps de stockage très longs, soit pour assurer le MCO des équipements, soit parce requis dans le profil de mission. Peu de lois existent.

- Étalonnage des lois par le REX: où en sommes nous? Un modèle n'a de pertinence que s'il est recalé par l'expérience. Quelles sont les approches de la profession en 2006?

- Évaluation du niveau de fiabilité des composants à partir des essais réalisés par les fabricants. Comment interpréter tous les essais et les comparer entre eux?

## Session n°5

### « Défiabilisation des composants en utilisation »

La dissémination généralisée de l'électronique dans tous les domaines et plus particulièrement dans les systèmes embarqués, requiert une fiabilité accrue proche du zéro défaut. Or, la plupart des industriels sont confrontés à des problèmes de défiabilisation des composants induisant des dysfonctionnements voire une défaillance. Dans de nombreux cas, l'origine est imputable à une mauvaise mise en œuvre: procédé de fabrication/intégration mal maîtrisé ou utilisation client en dehors des limites garanties. La difficulté majeure pour l'expert est l'identification des causes racines de la défaillance car il s'agit en général de stress "parasites" donc, hors processus nominal et souvent accidentels. D'autres événements peuvent générer un défaut latent non-détectable lors d'un test fonctionnel mais susceptible d'évoluer au cours de la vie du composant. Outre ces stress parasites, un composant peut aussi se dégrader soit au cours d'un stockage longue durée ou d'une durée d'utilisation particulièrement longue comme c'est le cas dans les applications militaires ou aéronautiques. L'objectif de cette session est de confronter les expériences de chacun en balayant toutes les étapes de vie d'un composant du déstockage magasin à l'utilisation du matériel par le client. Les présentations seront orientées sur plusieurs axes :

- Études de cas ayant une signature bien particulière avec si possible la cause bien identifiée et la solution. On s'attachera particulièrement à la cause et à la méthode pour l'identifier, plus qu'aux techniques d'analyse.

- Nouveaux mécanismes de défaillance liés aux nouvelles technologies et aux moyens utilisés pour les mettre en œuvre.

- Exemples montrant la relation entre les stress induits par le procédé industriel et la fiabilité à long terme ; conséquences des ESD et EOS, des fissures de boîtiers, des délaminations, des pollutions, etc...

Mardi 30 mai

10h00 - 12h00

**Philippe PERDU**  
CNES - Toulouse  
philippe.perdu@cnes.fr  
Tel : 05 61 28 20 17

## Tutorial 1 « Diagnostic électrique »

Le diagnostic électrique est un élément clef de l'analyse de défaillance. Il permet de confirmer le défaut, d'établir le lien entre le défaut et le comportement électrique du défaut et donc de choisir les techniques les mieux appropriées en terme de localisation et d'analyse. Contrairement aux autres techniques de test, le test de diagnostic ne cherche pas un fort taux de couverture ou une caractérisation fine du produit mais plutôt le lien entre un défaut physique et un comportement électrique anormal. Au cours de ce tutorial, nous verrons successivement le comportement électrique nominal de structures élémentaires en microélectronique et en particulier I(V) sur diodes, puis nous regarderons l'effet de défauts sur ce comportement électrique. Nous traiterons par la suite de problèmes plus complexes dans les circuits intégrés et les différentes techniques de test électriques: IDDD, Schmoos plots, LVT. Ce tutorial se terminera par un aperçu sur les techniques basées sur l'utilisation des bibliothèques de fautes.

14h00 - 17h30

**Bernard PICART**  
ATMEL Rousset  
Tel: 04 42 53 63 68  
bernard.picart@rfo.atmel.com

## Tutorial 2 « Techniques d'analyse de défaillance des VLSI »

L'analyse de défaillance consiste à rechercher le défaut physique responsable du défaut électrique. Elle comprend trois étapes principales : la caractérisation électrique, la localisation du défaut, puis l'analyse physique qui mène à l'identification du défaut et le cas échéant précise l'origine de son apparition.

Ce tutorial présente les principales techniques utilisées de nos jours en analyse de défaillance VLSI. Tout d'abord nous aborderons la caractérisation électrique des défauts, en étudiant la configuration électrique requise, le mode de test et le matériel associés. Ensuite, nous effectuerons une description précise des techniques de localisation de défauts comme les cristaux liquides, la microscopie à émission de lumière en mode statique ou dynamique, le test par faisceau laser thermique ou photoélectrique, le test par faisceau d'électrons et le micro-probing. L'utilisation du FIB dans l'analyse de défaillance pour la caractérisation "in situ" ou pour la préparation de lames minces dans la microscopie électronique à transmission (TEM) sera décrite avec précision. La dernière partie traitera de l'analyse physique du composant, de la microscopie électronique à balayage (SEM) et du TEM, de l'analyse des matériaux (EDX & Auger), du deprocessing et des micro-sections. Chacune des techniques sera décrite en détail et de nombreux exemples illustreront leur utilisation.

**Patrick POIRIER**  
Philips semiconductors - Caen  
Tel: 02 31 45 38 68  
patrick.poirier@philips.com

Vendredi 2 juin

9h00 - 9h45

**Christian MOREAU**  
DGA - CELAR - Bruz  
christian.moreau@dga.defens.gouv.fr  
Tel : 02 99 42 93 98

## Tutorial 3 « SOI »

Parallèlement à l'évolution de la loi de Moore, la technologie SOI est apparue depuis quelques années sur le marché en faisant appel à des matériaux et à des concepts novateurs pour lesquels les mécanismes de dégradation sont moins bien connus et les techniques d'investigation associées encore balbutiantes.

Le but de ce tutorial est de dresser l'état de l'art de la technologie SOI, à la fois sous l'angle des briques de base spécifiques et sous l'angle de l'analyse des mécanismes de défaillance associés.

Les thèmes abordés seront :

- Bref historique de la technologie et principales applications,
- L'aspect matériau (SIMOX, Wafer Bonding, SmartCut,...),
- Spécificités par rapport au Silicium Bulk (caractéristiques électriques et physiques),
- Evolutions de la technologie,
- Problématiques en analyse de défaillance et en analyse de construction.

10h15 - 12h30

**Marise BAFLEUR**  
LAAS CNRS Toulouse  
marise@laas.fr  
Tel : 05 61 33 69 66

## Tutorial 4 « EOS/ESD »

Malgré les importants efforts de recherche des deux dernières décades pour améliorer les protections, les décharges électrostatiques (ESD) et plus généralement les surcharges électriques (EOS) constituent encore une cause de défaillance majeure dans les applications électroniques. Identifier les origines exactes de la défaillance (protection insuffisante, mode de génération de stress ESD imprévu, procédure de test inappropriée,...) est essentiel pour mettre en œuvre les actions correctrices nécessaires.

L'objectif de ce tutorial est de donner les connaissances de base et de fournir une classification des signatures de défaillance EOS/ESD nécessaires à une interprétation plus efficace des analyses de ce type de défaillances. Dans une première partie, seront rappelés les modes de génération des EOS et des ESD, les principales normes (HBM, MM, CDM, latch-up, CEM,...) et les mécanismes de défaillance principaux. Une deuxième partie présentera les différentes stratégies de protection aussi bien en termes d'environnement (contrôle de l'humidité, matériaux antistatiques,...) qu'en termes de protections physiques intégrées ou discrètes. Une troisième partie sera consacrée à la présentation de cas d'analyse de défaillance typiques. Elle s'appuiera sur les travaux du groupe de travail EOS/ESD de l'ANADEF qui a produit, depuis sa création en septembre 2001, près d'une centaine de fiches d'analyse de cas.

Dans chaque cas, on s'attachera à associer la ou les signatures électriques et physiques à un type de stress particulier à partir de défaillances opérationnelles réelles et à l'aide d'essais de reproduction des défaillances.

**Franck DAVENEL**  
DGA - CELAR - Bruz  
franck.davenel@dga.defens.gouv.fr  
Tel : 02 99 42 65 05

# PROGRAMME DES MICRO-ATELIERS

Ces « micro-ateliers » ont pour objectif de favoriser les échanges informels entre les analystes de défaillance. Chaque « micro-atelier » comprendra une description rapide du thème suivi d'études de cas montrant des exemples d'utilisation. L'étude de ces cas permettra de décrire des problèmes résolus ou non et de présenter la méthode employée pour traquer un défaut. A l'issue de ces présentations, un débat entre les participants pourra donner lieu à des discussions qui favoriseront l'échange et le partage d'expériences.

**Coordination :** **Bernard PICART**  
ATMEL Rousset  
Tel: 04 42 53 63 18  
bernard.picart@rfo.atmel.com

**Patrick POIRIER**  
Philips semiconductors - Caen  
Tel: 02 31 45 38 68  
patrick.poirier@philips.com

**Mercredi 31 mai**

8h30 - 12h00

## **Micro-atelier n°1 « Techniques d'analyse de défaillance du packaging »**

L'objectif de ce micro-atelier est d'échanger autour des techniques d'analyse du packaging. Pour permettre ce débat, les différentes techniques couramment utilisées seront présentées avec leurs avantages et leurs limites, ainsi que les techniques en cours de développement.

**Animateurs :** **Jean-Claude CLEMENT**  
THALES R&T Palaiseau  
jean-claude.clement@thalesgroup.com  
Tel : 01 69 41 56 76

**Jean-Pierre GUERVENO**  
MBDA France - Vélizy  
jean-pierre.guerveno@mbda.fr  
Tel : 01 34 88 19 73

**Yves OUSTEN**  
IXL - Bordeaux  
yves.ousten@ixl.fr  
Tel : 05 40 00 65 47

14h00 - 17h30

## **Micro-atelier n°2 « Analyse de défaillance des VLSI : Localisation de défauts par les techniques optiques, statiques et dynamiques**

Dans cette session les principales méthodes de localisation de défauts par microscopie optique seront étudiées notamment la microscopie à émission de lumière et le test par faisceau laser. Les méthodes statiques comme l'EMMI, OBIRCH / TIVA, OBIC / LIVA ainsi que les méthodes dynamique comme TRE / PICA, SDL, LADA seront ensuite abordées au travers d'études de cas. Nous insisterons particulièrement sur l'émulation électrique des circuits qui pourra être statique (avec alimentation ou traceur de courbe), pseudo-statique (en s'arrêtant sur un vecteur de test) et dynamique (en bouclant sur les vecteurs de test choisis).

**Animateurs :** **Felix BEAUDOIN**  
TSS - Toulouse  
felix.beaudoin@cnes.fr  
Tel : 05 612734 41

**Dean LEWIS**  
IXL Bordeaux  
lewis@ixl.fr  
Tel : 05 40 00 27 64

**Bernard PICART**  
ATMEL Rousset  
bernard.picart@rfo.atmel.com  
Tel: 04 42 53 63 18

**Jeudi 1 juin**

8h30 - 12h00

## **Micro-atelier n°3 « Analyse de défaillance VLSI : Caractérisation électrique de défauts »**

Dans ce micro atelier nous aborderons les techniques de diagnostic électrique au niveau des circuits VLSI dans le but de localiser les défauts. Nous traiterons aussi l'aspect de la caractérisation électrique de ces défauts en vue d'une analyse physique. Dans cette optique, nous passerons en revue les moyens de mesures I(V), ATE, probing et les outils de simulation et d'aide à la localisation issus des outils de conception et des résultats de test des circuits (ATPG, analyse du layout).

Les études de cas que vous souhaitez partager pourront illustrer ces différents sujets.

**Animateurs :** **Patrick POIRIER**  
Philips semiconductors - Caen  
Tel: 02 31 45 38 68  
patrick.poirier@philips.com

**Gérald HALLER**  
ST Microelectronics - Rousset  
Tel: 04 42 68 55 78  
gerald.haller@st.com

14h00 - 17h30

## **Micro-atelier n°4 « Analyse de défaillance VLSI : FIB, TEM, STEM, AFM,... »**

Au travers d'études de cas, les différentes utilisations du FIB seront abordées : cross sections, préparation TEM, modification de circuit, caractérisation électrique in situ et analyse " backside ".

L'impact du faisceau ionique sur la fonctionnalité du circuit ainsi que la fiabilité des modifications seront ensuite discutés.

**Animateurs :** **Bernard PICART**  
ATMEL Rousset  
Tel: 04 42 53 63 18  
bernard.picart@rfo.atmel.com

**Hélène JOUSSET**  
ALTIS Semiconductor - Corbeil  
Tel : 01 60 88 59 12  
helene.jousset@altissemiconductor.com

**Vendredi 2 juin**

9h00 - 12h15

## **Micro-atelier n°5 « Analyse de défaillance VLSI : préparation d'échantillons »**

Face à la complexification des boîtiers (SIP, MCM) les techniques actuelles de préparation d'échantillons pour la localisation face arrière sont-elles suffisantes? L'utilisation de matériaux nouveaux, cuivre, low K et high K sont-ils compatibles avec les procédés de destratification et de cross section ?

Outre ces questions prospectives, ce micro atelier sera un lieu d'échange et de débats sur les techniques et les outils de préparation actuels, les difficultés de mise en œuvre, les trucs et astuces et tout ce qui peut intéresser tous ceux qui sont confrontés à ces problèmes de préparation d'échantillons.

**Animateurs :** **Philippe PERDU**  
CNES - Toulouse  
philippe.perdu@cnes.fr  
Tel : 05 61 28 20 17

**Yves COLIN**  
ATMEL - Nantes  
yves.colin@nto.atmel.com  
Tel : 02 40 18 17 46

**Patrice SCHWINDENHAMMER**  
PHILIPS Semiconductors - Caen  
patrice.schwindenhammer@philips.com  
Tel : 02 31 45 60 16

## INFORMATIONS PRATIQUES

**Site et coordonnées :** Entre forêt, lac et océan situé sur la côte des Landes, à proximité du Pays Basque et de l'Espagne  
VVF - Résidence "Domaine de Pinsolle", Port d'Albret (entrée sud) - 40140 Soustons

**Transport/Accès :** Aéroport de Biarritz à 50 km, aéroport de Bordeaux-Mérignac à 150 km  
En train : gare de Dax à 30 km  
En voiture : A64 sortie Magescq et direction Soustons, Vieux Boucau

**Accueil sur site :** L'accueil sera ouvert au VVF-Vacances :  
le lundi 29 mai 2006 de 18h00 à 21h00  
le mardi 30 mai à partir de 8h00 et aux heures d'ouverture du séminaire

## CONTACT

**Votre contact pour toute information concernant votre inscription (et notamment pour les inscriptions d'une durée inférieure à 4 jours) :**

**Isabelle VOIRIN/ Magali GARCIA – ADERA Service**

**Centre Condorcet 162, B.P. 196 - 33608 Pessac Cedex**

**e-mail : [isabelle.voirin@adera.fr](mailto:isabelle.voirin@adera.fr) - Tel : 05 56 15 11 58 ou 05 56 15 11 98 - Fax : 05 56 15 11 60**

## MODALITES ET DROITS D'INSCRIPTION

- Le montant de la participation inclut :
  - Forfait hébergement/restauration (Déjeuners des 30 et 31 mai, 1 et 2 juin, 2 pauses/jour et dîners des 29, 30 et 31 mai, 1 et 2 juin)
  - Participation à la conférence
  - Documentation, CD ROM, actes et liste des participants
- Un tarif préférentiel (indiqué ci-dessous) est accordé aux membres ANADEF à jour de cotisation 2006.
- Un tarif dégressif pourra être appliqué pour les droits d'inscription de plusieurs participants appartenant à la même entreprise et travaillant sur le même site et si les fiches d'inscription parviennent conjointement à ADERA Service.

### Membre ANADEF

**1<sup>ère</sup> inscription**      **1330 € TTC**  
**2<sup>ème</sup> inscription**    **1265 € TTC**

### Non membre - ANADEF

**1575 € TTC**  
**1520 € TTC**

**Formule tout compris : forfait hébergement, participation à la conférence, documentation**

- **Date limite d'inscription :** Les bulletins d'inscription devront parvenir à ADERA Service au plus tard le 8 mai 2006. Passé cette date, la réservation hôtelière n'est pas garanti sur le site de l'Atelier.
- Une confirmation d'inscription sera adressée à chaque participant. Assurez-vous qu'apparaît sur votre moyen de paiement la mention "Inscription à l'Atelier 2006" ainsi que le nom du participant et celui de sa société ou organisme.
- L'accès à l'Atelier sera réservé aux participants ayant acquitté leurs droits d'inscription.
- **Annulation/Remboursement :** Toute annulation doit être faite par écrit ou courrier électronique. Si l'annulation parvient à ADERA Service avant le 8 mai 2006, 100 € HT de frais de dossier seront retenus. Aucun remboursement ne sera effectué à partir du 8 mai 2006.

## Association ANADEF

Depuis près de 20 ans, dans un cadre assez peu formalisé, se réunissent les principaux Laboratoires et Sociétés du domaine de l'électronique. Afin d'améliorer notre fonctionnement et d'offrir de meilleurs services, nous sommes passé en association.

Les métiers de l'analyse défaillance des composants et sous-ensembles électroniques, ainsi que celui de la qualification des composants dans lesquels nous évoluons, sont en perpétuelle évolution. Néanmoins ces métiers sont limités dans chaque entreprise à un petit groupe de personne. Les investissements, tant en matériel qu'en formation, sont coûteux, et faire le bon choix est essentiel tant pour réaliser directement que pour sous-traiter. L'isolement ne permet pas de faire face rapidement et à faible coût aux nouveaux problèmes, alors qu'un travail de groupe basé sur l'échange et le partage des connaissances permet d'y remédier.

Parmi les principales actions réalisées ;

- L'évaluation de techniques nouvelles ou de nouveaux équipements
- La mise au point de méthodes d'essais
- Le partage technique des expériences
- La création d'un réseau Intranet réservé à nos membres et associé au Site Web ([www.anadef.org](http://www.anadef.org))

**L'appartenance à notre Association est le meilleur moyen d'enrichir à la fois ses compétences et ses relations professionnelles ce qui offre alors de multiples possibilités : accès formel ou informel à l'expert du domaine, réalisation d'un type d'essai particulier, organisation de coopérations dans le cadre de programmes français ou européens.**

Marise BAFLEUR	LAAS - Toulouse	Philippe PERDU	CNES - Toulouse
Félix BEAUDOIN	THALES Security Systems - Toulouse	Bernard PICART	ATMEL - Rousset
Jean-Marie CHOPIN	AIRBUS France - Toulouse	Patrick POIRIER	PHILIPS Semiconductors - Caen
Jean-Claude CLEMENT	THALES R&T - Palaiseau	Pascal RETAILLEAU	MBDA France - Vélizy
Yves COLIN	ATMEL - Nantes	Marie-France ROUX	EADS Astrium – Vélizy
Jean-Pierre GUERVENO	MBDA France - Vélizy	Philippe SARDIN	Alliance Crolles 2
Gérald HALLER	STMicroelectronics – Rousset	Patrice SCHWINDENHAMMER	Philips Semiconductors - Caen
Hélène JOUSSET	ALTIS Semiconductor - Corbeil	Dominique TALBOURDET	EDF R&D – Moret-sur-Loing
Nathalie LABAT	IXL - Bordeaux		
François LE RAY	Hispano Suiza - Moissy-Cramayel		
Dean LEWIS	IXL Bordeaux	Coordination technique de l'atelier: Nathalie LABAT IXL - Bordeaux Tel : 05 40 00 65 51 email: labat@ixl.fr	
Isabelle LOMBAERT-VALOT	EADS CCR - Suresnes		
Jean-Pierre MICHELET	SCHNEIDER Electric – Grenoble		
Christian MOREAU	DGA - CELAR - Bruz	Secrétariat technique ANADEF: Jean-Claude Hubert ANADEF - France Tel : 08 71 40 72 74 email: jcmad.hubert@wanadoo.fr	
Yves OUSTEN	IXL - Bordeaux		

## Objectifs de l'atelier

- Faire se rencontrer et dialoguer de façon informelle tous ceux (fabricants de composants, équipementiers, laboratoires d'analyse & universitaires) qui ont en commun le souci de comprendre les mécanismes de défaillance afin de mieux maîtriser les choix de composants en fonction des conditions d'applications (profil de mission) et des objectifs de fiabilité. L'atelier est le lieu privilégié pour discuter des problèmes concrets qui se posent aux utilisateurs de composants. Il permet d'aborder les cas non résolus, de comparer les approches ou les méthodologies et de rapprocher les utilisateurs des fabricants.
- S'ouvrir vers ceux qui ont déjà participé à un Atelier et ceux qui ne nous connaissent pas encore
- ③ Répondre aux attentes des Membres à savoir:
  - Elargissement du domaine d'activité (aller au delà des techniques d'analyses)
  - Prise en compte des exigences du marché et des contraintes économiques
  - Promotion des contacts informels et de la notion de réseau de spécialistes
  - Partage d'expérience
  - Rationalisation des démarches/approches

## Caractéristiques du 10<sup>ème</sup> atelier

Cet atelier est une manifestation majeure de l'association ANADEF, il a lieu tous les deux ans et associe depuis l'édition 2002 des sessions plénières et des micro-ateliers. Les sessions plénières offrent à tous les participants un état des lieux et un point de vue pertinent sur un domaine technique lié à l'analyse de défaillance. Les micro-ateliers, quant à eux, favorisent les débats de spécialistes et permettent de confronter des expériences, de partager des résultats ou des problèmes sur des thèmes plus « pointus ». Cette double formule lancée en 2002 a reçu des appréciations très positives des participants, elle sera donc reconduite pour l'Atelier 2006.

En 2006, l'atelier aura son lot de nouveautés pour mieux répondre à vos attentes, voire à anticiper vos besoins. La plus importante, c'est l'introduction de tutoriaux permettant à tous, et plus particulièrement aux plus jeunes d'entre vous, de bénéficier d'une information pratique unique sur l'analyse de défaillance.

Enfin, nous avons prévu, comme en 2004, des discussions sur des thèmes définis. Ce sera l'occasion pour vous de débattre et d'échanger sur des sujets comme le « management des laboratoires d'analyse de défaillance ». Il s'agit là d'opportunités qui permettront d'optimiser votre temps de présence et nous comptons sur vous pour nous envoyer vos propositions (suggestions à envoyer à [philippe.perdu@cnes.fr](mailto:philippe.perdu@cnes.fr))

Cet atelier est un moment d'échange privilégié, d'enrichissement et de convivialité. C'est un lieu et un moment où le mot « participant » prend tout son sens. Chaque participant est acteur. C'est pourquoi nous vous invitons à construire de manière efficace votre participation en dialoguant avec les responsables de session, en leur proposant les sujets que vous souhaitez voir aborder, en leur soumettant des cas de défaillance/analyse/test qui vous préoccupent et en émettant toute suggestion que vous jugerez opportune.

Le comité d'organisation vous souhaite par avance un bon atelier.