

ATELIER 2008



11^{ÈME} ATELIER

«ANALYSE ET MÉCANISMES DE

DÉFAILLANCE DES COMPOSANTS

POUR L'ÉLECTRONIQUE»

VVF Domaine
de Pinsolle

Port d'Albret
(40)

10 juin au
13 juin 2008

ORGANISE PAR

ANADEF

Association loi 1901

**ANALYSE DE DÉFAILLANCE & TECHNOLOGIE
DES COMPOSANTS ÉLECTRONIQUES**

www.anadef.org

AVEC LE CONCOURS DE



MARDI 10 JUILLET

8h00 - 9h30

9h30 - 10h00

Philippe PERDU
CNES - Toulouse
philippe.perdu@cnes.fr
Tél. : 05 61 28 20 17

10h00 - 12h00
14h00 - 17h30

Animateurs :
Jean-Claude CLEMENT
THALES R&T Palaiseau
jean-claude.clement@thalesgroup.com
Tél. : 01 69 41 56 76

Marie-France ROUX
EADS Astrium Vélizy
marie-france.roux@astrium.eads.net
Tél. : 01 39 45 29 31

Isabelle LOMBAERT-VALOT
EADS CCR - Suresnes
isabelle.lombaert-valot@eads.net
Tél. : 01 46 97 34 86

Accueil des participants

Ouverture & Présentation de l'Atelier

Session n°1

"Interconnexions : report et packaging"

La course à l'intégration et à l'augmentation de débit, cumulée à l'impact des nouvelles réglementations européennes en terme de protection de l'environnement, entraînent le développement de nouveaux matériaux, de nouveaux types de composants électroniques et donc de nouvelles techniques d'analyse. La session interconnexion et packaging de l'atelier 2008 nous donnera l'occasion de regarder l'impact de ces développements sur les circuits imprimés, les composants SIP et les techniques d'analyse. Un regard sur les systèmes normatifs sera aussi effectué, l'un des piliers de ces évolutions.

Carte imprimée : Pour répondre à ces demandes d'intégration, de débit et de protection de l'environnement, de nouvelles technologies de circuits imprimés arrivent sur le marché avec leur lot de mécanismes de défaillances. Quels sont ces nouveaux matériaux, ces nouvelles technologies et surtout quels mécanismes de défaillance est-on susceptible de rencontrer ? Nous essayerons de répondre à ces questions au cours de cette session.

SIP (System In Package) : Une autre solution pour augmenter l'intégration est l'utilisation de composant SIP/SOC. L'objectif est de présenter les différentes solutions, les problèmes et risques associés à ces technologies de plus en plus répandues. Quelles sont les conséquences de leur utilisation en terme de fiabilité ? y-a-t-il des mécanismes de défaillance spécifiques qui apparaissent ?

Systèmes normatifs : Aujourd'hui la mise en place et l'extension de l'application des systèmes normatifs et des directives européennes dans le domaine de l'environnement (REACH/ISO14000/RoHs) impliquent la recherche et l'emploi de nouveaux matériaux, de revoir les cycles de production et les procédés associés. Quelles sont les conséquences vis à vis de la fiabilité des équipements et en particulier de leur durée de vie ?

Techniques d'analyses : L'emploi de nouvelles technologies, la course à l'intégration ainsi que les nouveaux systèmes normatifs impliquent l'utilisation de nouvelles techniques ou le développement des techniques existantes. RBS, fluorescence X, ... différentes techniques seront présentées. Les alternatives à l'emploi des produits chimiques seront examinées.

MERCREDI 11 JUILLET

8h30 - 12h00

Animateurs :
Philippe SARDIN
STMICROELECTRONICS - Crolles
philippe.sardin@st.com
Tél. : 04 38 92 30 68

Gérald HALLER
ST MICROELECTRONICS - Rousset
gerald.haller@st.com
Tél. : 04 42 68 55 78

Patrick POIRIER
NXP SEMICONDUCTORS - Caen
patrick.poirier@nxp.com
Tél. : 02 31 45 38 68

14h00 - 17h30

Animateurs :
Alain WISLEZ
THALES SECURITY SYSTEMS - Toulouse
alain.wislez@thalesgroup.com
Tél. : 05 62 88 28 04

Murielle BERANGER
TRIXELL - Moirans
murielle.beranger@trixell-thalesgroup.com
Tél. : 04 76 57 00 62

François LE RAY
HISPANO SUIZA - Moissy Cramayel
francois.leray@hispano-suiza-sa.com
Tél. : 01 60 59 93 94

Session N°2

"Analyse de défaillance des VLSI"

L'arrivée croissante et rapide de systèmes complexes combinant SoC (System on Chip = Système sur puce), SIP (System in Package = Système dans un boîtier), voire l'intégration de composants hétérogènes dans un même boîtier (puces + composants optique ou mécanique), nécessite une grande réactivité dans les laboratoires d'analyse de défaillance afin de mener à bien les nouveaux défis. Même si les processus d'analyse n'évoluent pas dans le fond, les outils et méthodes prennent en compte les nouveaux besoins issus de cette nouvelle donne technologique.

Cette session sera l'occasion de présenter les techniques actuelles les plus couramment pratiquées par les laboratoires des fabricants, des intégrateurs, des utilisateurs finaux et des prestataires ainsi que des évolutions prévisibles à court terme.

Parmi les tendances qui se dégagent de la pratique des laboratoires et des nouveaux défis qu'ils doivent relever, nous mettrons en avant les méthodologies d'analyses mises en place pour étudier ces systèmes complexes, en insistant sur les points clés de la procédure d'analyse :

- la caractérisation électrique des défauts,
- la préparation des échantillons,
- la localisation des défauts,
- la caractérisation physique et chimique des défauts.

Session N°3

"Les mécanismes de défaillance n'affectent pas que les VLSI"

Les équipements électroniques sont de plus en plus complexes et intégrés. Cette course à la miniaturisation est entraînée par le semi-conducteur et tous les autres composants électroniques (passifs, photoniques, connecteurs, PCB, relais, ...) se doivent de suivre ce mouvement ... ce qui est loin d'être aussi simple pour des raisons principalement technologiques et de quantités fabriquées. Leur nombre dans les équipements est souvent élevé et afin de répondre à ces critères, ils sont fabriqués avec de nouveaux matériaux et sont de plus en plus directement implantés dans des substrats et dispositifs intégrés.

Dans ces conditions, nous sommes loin de la haute fiabilité du semi-conducteur et malheureusement ces composants électroniques sont à l'origine de bon nombre de défaillances. Des cas d'analyses de défaillance de ces produits seront présentés et nous aborderons les techniques de préparation, de caractérisation et confirmation de défaillance électrique, des difficultés quant à l'interprétation des résultats et l'identification des causes racines.

PROGRAMME DES SESSIONS PLENIERES

JEUDI 12 JUIN

10h45 - 12h00
14h00 - 15h30

Animateurs :

Dominique TALBOURDET
EDF R&D – Moret-sur-Loing
dominique.talbourdet@edf.fr
Tél. : 01 60 73 63 91

Jean-Pierre GUERVENO
MBDA France – Le Plessis Robinson
jean-pierre.guerveno@mbda-systems.com
Tél. : 01 71 54 15 92

Marise BAFLEUR
LAAS CNRS - Toulouse
marise@laas.fr
Tél. : 05 61 33 69 66

16h00 - 17h30

Animateurs :

Jean-Claude CLEMENT
THALES R&T Palaiseau
jean-claude.clement@thalesgroup.com
Tél. : 01 69 41 56 76

Jean-Marie CHOPIN
AIRBUS France - Toulouse
jean-marie.chopin@airbus.com
Tél. : 05 61 93 04 55

Jean-Pierre GUERVENO
MBDA France – Le Plessis Robinson
jean-pierre.guerveno@mbda-systems.com
Tél. : 01 71 54 15 92

Session N°4 "Défiabilisation des composants en utilisation"

La dissémination généralisée de l'électronique dans tous les domaines et plus particulièrement dans les systèmes embarqués, requiert une fiabilité accrue proche du zéro défaut. Or, la plupart des industriels sont confrontés à des problèmes de défiabilisation des composants induisant des dysfonctionnements voire une défaillance. Dans de nombreux cas, l'origine est imputable à une mauvaise mise en œuvre: procédé de fabrication/intégration mal maîtrisé ou utilisation client en dehors des limites garanties. La difficulté majeure pour l'expert est l'identification des causes racines de la défaillance car il s'agit en général de stress "parasites" donc, hors processus nominal et souvent accidentels. D'autres événements peuvent générer un défaut latent non-déTECTABLE lors d'un test fonctionnel mais susceptible d'évoluer au cours de la vie du composant. Outre ces stress parasites, un composant peut aussi se dégrader soit au cours d'un stockage longue durée ou d'une durée d'utilisation particulièrement longue comme c'est le cas dans les applications militaires ou aéronautiques.

L'objectif de cette session est de confronter les expériences de chacun en balayant toutes les étapes de vie d'un composant du déstockage magasin à l'utilisation du matériel par le client. Les présentations seront orientées sur plusieurs axes :

- Études de cas ayant une signature bien particulière avec si possible la cause bien identifiée et la solution. On s'attachera particulièrement à la cause et à la méthode pour l'identifier, plus qu'aux techniques d'analyse.
- Exemples montrant la relation entre les stress induits par le procédé industriel et la fiabilité à long terme ; conséquences des ESD, EOS, EMI et rayonnement cosmique, des fissures de boîtiers, des délaminations, des pollutions, etc...
- La fiabilité à long terme souhaitée par les industriels, pour leurs systèmes, pourrait-elle être remise en cause avec l'arrivée des nouvelles technologies de composant et les nouveaux procédés de fabrication. Les présentations auront comme orientation les nouveaux mécanismes de défaillance liés aux nouvelles technologies et les moyens utilisés pour les mettre en œuvre.

Session N°5 "La contre-çon : comment l'identifier ?"

La contrefaçon de composants se développe de plus en plus et commence à perturber sérieusement nos approvisionnements et nos productions d'équipements. Mais elle se dissimule souvent fort bien. D'autant que le composant contrefait peut souvent avoir été fabriqué avec de nombreux éléments "d'origine", voire même des process "d'origine" (remarquages, mais aussi vols ou détournements de wafers non conformes, détournements abusifs de moyens de production, voire reworking de composants cannibalisés...). La difficulté pour l'expert est de mettre en évidence les différences, les anomalies, voire les faiblesses qui permettent de différencier ces pièces, selon les variétés de types de composants.

Après une présentation de différents types et "moyens" de contrefaçons, ainsi que de la variété de types de composants susceptibles d'être contrefaits, l'objectif de cette session est de présenter et confronter au mieux :

- les expériences de cas de contrefaçons, sous leur aspect technologique,
- les méthodes d'analyse et critères technologiques disponibles pour identifier un produit contrefait (selon le type de composants, en particulier).
- et aussi peut-être, quelles évolutions de ces méthodes d'analyses envisager, pour suivre celles des contrefacteurs.....

PROGRAMME DES TUTORIALS

MARDI 10 JUIN

10h00 - 12h00

Philippe PERDU
CNES - Toulouse
philippe.perdu@cnes.fr
Tél. : 05 61 28 20 17

Tutorial 1 "Diagnostic électrique"

Le diagnostic électrique est un élément clef de l'analyse de défaillance. Il permet de confirmer le défaut, d'établir le lien entre le défaut et le comportement électrique du défaut et donc de choisir les techniques les mieux appropriées en terme de localisation et d'analyse. Contrairement aux autres techniques de test, le test de diagnostic ne cherche pas un fort taux de couverture ou une caractérisation fine du produit mais plutôt le lien entre un défaut physique et un comportement électrique anormal. Après une brève introduction sur les testeurs, nous verrons successivement le comportement électrique nominal de structures élémentaires en microélectronique et en particulier I(V) sur diodes, puis nous regarderons l'effet de défauts sur ce comportement électrique. Nous traiterons par la suite de problèmes plus complexes dans les circuits intégrés et les différentes techniques de test électriques: IDDQ, Schmo plots, LVT.

14h00 - 17h30

Bernard PICART
ATMEL Rousset
Tél. : 04 42 53 63 18
bernard.picart@rfo.atmel.com

Tutorial 2 "Techniques d'analyse de défaillance des VLSI"

L'analyse de défaillance consiste à rechercher le défaut physique responsable du défaut électrique. Elle comprend trois étapes principales : la caractérisation électrique, la localisation du défaut, puis l'analyse physique qui mène à l'identification du défaut et le cas échéant précise l'origine de son apparition.

Ce tutorial présente les principales techniques utilisées de nos jours en analyse de défaillance VLSI. Tout d'abord nous abordons la caractérisation électrique des défauts, en étudiant la configuration électrique requise, le mode de test et le matériel associés. Ensuite, nous effectuerons une description précise des techniques de localisation de défauts comme les cristaux liquides, la microscopie à émission de lumière en mode statique ou dynamique, le test par faisceau laser thermique ou photoélectrique, le test par faisceau d'électrons et le micro-probing. L'utilisation du FIB dans l'analyse de défaillance pour la caractérisation "in situ" ou pour la préparation de lames minces dans la microscopie électronique à transmission (TEM) sera décrite avec précision. La dernière partie traitera de l'analyse physique du composant, de la microscopie électronique à balayage (SEM) et du TEM, de l'analyse des matériaux (EDX & Auger), du deprocessing et des micro-sections. Chacune des techniques sera décrite en détail et de nombreux exemples illustreront leur utilisation.

PROGRAMME DES TUTORIALS

JEUDI 12 JUIN

8h30 - 10h30

François MARC
IMS Bordeaux
francois.marc@ims-bordeaux.fr
Tél. : 05 40 00 28 33

Bruno FOUCHER
EADS IW – Suresnes
bruno.foucher@eads.net
Tél. : 01 46 97 33 37

Tutorial 3 "Nouvelles approches de la fiabilité"

1^{ère} partie : Approche statistique de la fiabilité : application à la fiabilité des systèmes et aux mécanismes d'usure

Ce tutorial débutera par un rappel des notions fondamentales de l'approche statistique de la fiabilité : durée de vie, fonction de fiabilité, taux de défaillance... A travers des exemples sur la fiabilité de systèmes, l'interprétation de ces fonctions caractéristiques de la fiabilité sera rappelée. Ensuite, les techniques usuelles de prévision de la fiabilité, fondées notamment sur l'utilisation de vieillissements accélérés et de facteurs d'accélération, seront présentées puis évaluées à la lumière de ces exemples. Enfin, nous verrons comment ces techniques s'appliquent - ou ne s'appliquent pas - dans le cas des mécanismes d'usure (fatigue, vieillissement...), de plus en plus prépondérants dans les technologies actuelles. Des approches alternatives ou complémentaires fondées sur la physique des défaillances seront évoquées.

2^{ème} partie : "Utilisation des modèles de défaillances dans le calcul embarqué de la fiabilité en temps réel"

Partant d'un exemple de mécanisme de défaillance d'une carte électronique, ce tutorial décrira comment il est possible de le modéliser et d'utiliser ce modèle pour faire un calcul embarqué de la durée de vie en temps réel. Le mécanisme retenu est la fatigue thermo-mécanique des joints de brasure. Après une description du mécanisme, le modèle mathématique sera détaillé ainsi que ses hypothèses, ses paramètres et ses limites. En particulier, la différence entre taux de défaut et durée de vie sera soulignée, pour clarifier ce que cette modélisation peut (et ne peut pas) calculer. Le tutorial décrira ensuite les systèmes existants d'acquisition de données environnementales qui permettent d'acquérir en embarqué et en temps réel les paramètres du modèle. Puis, quelques transparents expliqueront comment ces données peuvent être réduites de façon à être utilisables par le modèle. Le chapitre suivant expliquera comment intégrer tous ces éléments en une électronique fiable, miniaturisée et autonome. Cette partie insistera sur les performances actuellement atteintes et les perspectives de développement. Enfin, une description de la validation expérimentale d'un tel système en environnement de laboratoire terminera ce tutorial.

VENDEDI 13 JUIN

9h00 - 10h00
10h30 - 12h00

Christian MOREAU
DGA - CELAR - Bruz
christian.moreau@dga.defense.gouv.fr
Tél. : 02 99 42 93 98

Gérald HALLER
ST Microelectronics – Rousset
gerald.haller@st.com
Tél. : 04 42 68 55 78

Tutorial 4 "Comprendre les évolutions des technologies Silicium"

Le but de ce tutorial est de fournir les clés pour comprendre l'évolution des technologies jusqu'au nœud technologie 65nm et de percevoir les enjeux pour les générations futures. Lors de l'analyse de défaillance ou de construction, il s'avère nécessaire de bien intégrer le procédé technologique pour pouvoir poser le bon diagnostic. Au cours de ce tutorial, seront évoqués les points suivants :

- Rappel des lois de scaling et road maps associés
- Maîtrise des effets parasites (latch-up, porteurs chauds, électrons chauds, électromigration, thermique, résistances d'accès et capacités distribuées)
- Accroissement des performances du transistor (Ion, Ioff, mobilité,.....)
- Focus sur les briques d'interconnexions
- Status sur les technologies 90nm et 65 nm
- Bref aperçu des enjeux sur le 45 nm et le 32 nm.

PROGRAMME DES MICRO-ATELIERS

Ces « micro-ateliers » ont pour objectif de favoriser les échanges informels entre les analystes de défaillance. Chaque « micro-atelier » comprendra une description rapide du thème suivi d'études de cas montrant des exemples d'utilisation. L'étude de ces cas permettra de décrire des problèmes résolus ou non et de présenter la méthode employée pour traquer un défaut. A l'issue de ces présentations, un débat entre les participants pourra donner lieu à des discussions qui favoriseront l'échange et le partage d'expériences.

MERCREDI 11 JUIN

8h30 - 12h00

Coordination : Bernard PICART
ATMEL Rousset
Tél. : 04 42 53 63 18
bernard.picart@rfo.atmel.com

Patrick POIRIER
NXP semiconductors - Caen
Tél. : 02 31 45 38 68
patrick.poirier@nxp.com

Micro-atelier n°1 "Techniques d'analyse de défaillance du packaging"

L'objectif de ce micro-atelier est d'échanger sur les techniques de l'analyse des packages que ce soit de composants passifs, actifs ou de systèmes complexes (SiP intégrant plusieurs techno: piezo, MEMs, optique, ...). Pour animer ce débat, les différentes techniques d'analyse de défauts couramment utilisées en analyses non destructives (Xray, SAM, ...) et analyses physiques (observation, cross sections, ...) seront discutées avec leurs avantages, leurs difficultés et leurs limites, en s'appuyant le plus possible sur des études de cas.

Animateurs : Patrick POIRIER
NXP semiconductors - Caen
patrick.poirier@nxp.com
Tél. : 02 31 45 38 68

Jean-Pierre GUERVENO
MBDA France - Vélizy
jean-pierre.guerveno@mbda-systems.com
Tél. : 01 71 54 15 92

14h00 - 17h30

Micro-atelier n°2 "Outils d'analyse et de caractérisation physique des VLSI : FIB, TEM, STEM, AFM,..."

L'évolution des technologies Micro Electroniques nous oblige à travailler sur des motifs de plus en plus petits. Dans ce micro-atelier, nous décrivons sur des exemples concrets l'utilisation d'équipements qui nous permettent de travailler à des échelles très inférieures au micromètre.

Ainsi le FIB (Focus Ion Beam) permet de faire des micro sections dans un motif précis, mais surtout de préparer des lames minces pour la microscopie électronique à transmission (TEM). Une application non moins intéressante du FIB consiste à faire de la modification de circuit pour le debug design – ceci étant fait soit par la face avant, soit par la face arrière pour les dernières générations

PROGRAMME DES MICRO-ATELIERS

de FIB. Grâce à sa résolution « ultime », le TEM permet d'inspecter et de mesurer des dimensionnels de l'ordre de l'Angstrom; en outre s'il est doté d'une capacité analytique, il pourra donner les éléments chimiques présents dans l'échantillon. L'AFM (Atomic Force Microscope) est une technique qui se développe dans les laboratoires d'analyse de défaillance. Le balayage de la surface de l'échantillon par une pointe très fine permet d'obtenir des informations d'état de surface, de morphologie et de faire des images tridimensionnelles à résolution atomique. Les modules SCM (Scanning Capacitance) ou TUNA (Tunneling AFM) peuvent être couplés à l'AFM. La SCM permet de visualiser et localiser les implants; la longueur effective du canal et la profondeur des implants peuvent être aussi mesurées par cette méthode. Le module TUNA permet de mesurer les Vbd des oxydes de grille.

Animateurs : **Bernard PICART**
ATMEL Rousset
bernard.picart@rfo.atmel.com
Tél. : 04 42 53 63 18

Nathalie Le NAOUR
ALTIS Semiconductor - Corbeil
nathalie.le-naour@altissemiconductor.com
Tél. : 01 60 88 51 00

JEUDI 12 JUIN

8h30 - 12h00
14h00 - 15h30

Micro-atelier n°3 "Analyse de défaillance VLSI : caractérisation électrique de défauts"

Dans cette session les principales méthodes de localisation de défauts par microscopie optique seront étudiées notamment la microscopie à émission de lumière et le test par faisceau laser. Les méthodes statiques comme l'EMMI, OBIRCH/TIVA, OBIC/LIVA ainsi que les méthodes dynamique comme TRE/PICA, SDL, LADA seront ensuite abordées au travers d'études de cas. Nous insisterons particulièrement sur l'émulation électrique des circuits qui pourra être statique (avec alimentation ou traceur de courbe), pseudo-statique (en s'arrêtant sur un vecteur de test) et dynamique (en bouclant sur les vecteurs de test choisis).

Animateurs : **Bernard PICART**
ATMEL Rousset
bernard.picart@rfo.atmel.com
Tél. : 04 42 53 63 18

Kevin SANCHEZ
CNES Toulouse
kevin.sanchez@cnes.fr
Tél. : 05 61 27 31 78

VENDREDI 13 JUIN

9h00 - 12h00

Micro-atelier n°4 "Analyse de défaillance VLSI : préparation d'échantillons"

Boîtiers complexes, puces stackées ... comment préparer les échantillons pour localiser les défauts ? Les techniques actuelles de préparation d'échantillons pour la localisation face arrière sont-elles suffisantes? Doit-on envisager le repackaging ? Une fois le défaut localisé, nous devons procéder à l'analyse physique et là encore la préparation d'échantillons devient un véritable défi. Les matériaux nouveaux, cuivre, low K et high K sont-ils compatibles avec les procédés physiques et chimiques actuels ? Quels outils et quelles techniques de destratification sont-ils adaptés à nos problèmes ? Outre ces questions prospectives, ce micro atelier sera un lieu d'échange et de débats sur les techniques et les outils de préparation actuels, les difficultés de mise en œuvre, les trucs et astuces et tout ce qui peut intéresser tous ceux qui sont confrontés à ces problèmes de préparation d'échantillons.

Animateurs : **Philippe PERDU**
CNES - Toulouse
philippe.perdu@cnes.fr
Tél. : 05 61 28 20 17

Abdellatif FIRITI
Freescale - Toulouse
abdellatif.firiti@freescale.com
Tél. : 05 61 19 11 27

Patrice SCHWINDENHAMMER
NXP Semiconductors - Caen
patrice.schwindenhammer@nxp.com
Tél. : 02 31 45 60 16

INSCRIPTIONS : INFORMATIONS GENERALES

INFORMATIONS PRATIQUES

■ **Site et coordonnées :** Entre forêt, lac et océan situé sur la côte des Landes, à proximité du Pays Basque et de l'Espagne
VVF - Résidence "Domaine de Pinsolle", Port d'Albret (entrée sud) - 40140 Soustons

■ **Transport/Accès :** Aéroport de Biarritz à 50 km, aéroport de Bordeaux-Mérignac à 150 km
En train : gare de Dax à 30 km
En voiture : A 64 sortie Magescq et direction Soustons, Vieux-Boucau

■ **Accueil sur site :** L'accueil sera ouvert au VVF-Vacances : le lundi 9 juin 2008 de 18h00 à 21h00
le mardi 10 juin 2008 à partir de 8h00 et aux heures d'ouverture du séminaire

■ **Votre contact pour toute information concernant votre inscription :**
Isabelle VOIRIN - ADERA Service - Centre Condorcet - B.P. 196 - 33608 Pessac Cedex
e-mail : isabelle.voirin@adera.fr - Tél. : 05 56 15 11 58 - Fax : 05 56 15 11 60

CONTACT

MODALITES DE DROITS D'INSCRIPTION

- L'inscription à l'Atelier est nominative. Aucune inscription partagée ne sera acceptée.
- Le montant de la participation inclut par jour :
 - Hébergement (1 nuit)/restauration (petit-déjeuner, pauses, déjeuner et dîner)
 - Participation à la conférence
 - Documentation, CD ROM, actes et liste des participants
- Un tarif préférentiel (indiqué ci-dessous) est accordé aux membres ANADEF à jour de cotisation 2008.
- Un tarif dégressif sera appliqué pour l'inscription de 5 participants appartenant à la même entreprise et travaillant sur le même site et si les fiches d'inscription parviennent conjointement à ADERA Service.

	Membre ANADEF	Non membre - ANADEF
1 ^{ère} inscription 4 et 3 jours	1 327,56 € TTC	1 662,44 € TTC
2 ^{ème} inscription 4 et 3 jours	1 267,76 € TTC	1 578,72 € TTC
1 ^{ère} inscription 2 jours	777,40 € TTC	908,96 € TTC
2 ^{ème} inscription 2 jours	717,60 € TTC	855,14 € TTC
1 ^{ère} inscription 1 jour	430,56 € TTC	526,24 € TTC
2 ^{ème} inscription 1 jour	394,68 € TTC	478,40 € TTC

Formule tout compris : forfait hébergement, participation à la conférence, documentation.

- **Date limite d'inscription :** Les bulletins d'inscription devront parvenir à ADERA Service au plus tard le 16 mai 2008. Passé cette date, la réservation hôtelière n'est pas garantie sur le site de l'Atelier.
- Une confirmation d'inscription sera adressée à chaque participant. Assurez-vous qu'apparaît sur votre moyen de paiement la mention "Inscription à l'Atelier 2008" ainsi que le nom du participant et celui de sa société ou organisme.
- L'accès à l'Atelier sera réservé aux participants ayant acquitté leurs droits d'inscription.
- **Annulation/Remboursement :** Toute annulation doit être faite par écrit ou courrier électronique. Si l'annulation parvient à ADERA Service avant le 16 mai 2008, 120 € HT de frais de dossier seront retenus. Aucun remboursement ne sera effectué à partir du 16 mai 2008.

COMITÉ SCIENTIFIQUE

Marise BAFLEUR
Murielle BERANGER
Jean-Marie CHOPIN
Jean-Claude CLEMENT
Abdellatif FIRITI
Bruno FOUCHER
Jean-Pierre GUERVENO
Gérald HALLER
Nathalie LABAT
Nathalie Le NAOUR
François LE RAY
François MARC
Christian MOREAU
Catherine MUNIER
Philippe PERDU
Bernard PICART
Patrick POIRIER

LAAS - Toulouse
Trixiell - Moirans
AIRBUS France - Toulouse
THALES R&T - Palaiseau
Freescale - Toulouse
EADS IW - Suresnes
MBDA France - Vélizy
STMicroelectronics - Rousset
IMS - Bordeaux
ALTIS Semiconductor - Corbeil
Hispano Suiza - Moissy-Cramayel
IMS - Bordeaux
DGA - CELAR - Bruz
EADS IW - Suresnes
CNES - Toulouse
ATMEL - Rousset
NXP Semiconductors - Caen

Marie-France ROUX
Kevin SANCHEZ
Philippe SARDIN
Patrice SCHWINDENHAMMER
Dominique TALBOURDET
Alain WISLEZ

EADS Astrium - Vélizy
CNES Toulouse
STMicroelectronics - Crolles
NXP Semiconductors - Caen
EDF R&D - Moret-sur-Loing
THALES Security Systems - Toulouse

Coordination technique de l'atelier :

Nathalie LABAT IMS - Bordeaux
Tél. : 05 40 00 65 51
Email : nathalie.labat@ims-bordeaux.fr

Secrétariat technique ANADEF :

Jean-Claude Hubert ANADEF - France
Tél. : 08 71 40 72 74
Email : jcmad.hubert@wanadoo.fr

Association ANADEF

Depuis près de 20 ans, dans un cadre assez peu formalisé, se réunissent les principaux laboratoires et sociétés du domaine de l'électronique. Afin d'améliorer notre fonctionnement et d'offrir de meilleurs services, nous sommes passés en association.

Les métiers de l'analyse de défaillance des composants et sous-ensembles électroniques, ainsi que celui de la qualification des composants dans lesquels nous évoluons, sont en perpétuelle évolution. Néanmoins ces métiers sont limités dans chaque entreprise à un petit groupe de personnes. Les investissements, tant en matériel qu'en formation, sont coûteux, et faire le bon choix est essentiel tant pour réaliser directement que pour sous-traiter. L'isolement ne permet pas de faire face rapidement et à faible coût aux nouveaux problèmes, alors qu'un travail de groupe basé sur l'échange et le partage des connaissances permet d'y remédier.

Parmi les principales actions réalisées : • L'évaluation de techniques nouvelles ou de nouveaux équipements • La mise au point de méthodes d'essais • Le partage technique des expériences • La création d'un réseau Intranet réservé à nos membres et associé au Site Web (www.anadef.org)

L'appartenance à notre association est le meilleur moyen d'enrichir à la fois ses compétences et ses relations professionnelles ce qui offre alors de multiples possibilités : accès formel ou informel à l'expert du domaine, réalisation d'un type d'essai particulier, organisation de coopérations dans le cadre de programmes français ou européens.

OBJECTIFS DE L'ATELIER

- 1** Faire se rencontrer et dialoguer de façon informelle tous ceux (fabricants de composants, équipementiers, laboratoires d'analyse & universitaires) qui ont en commun le souci de comprendre les mécanismes de défaillance afin de mieux maîtriser les choix de composants en fonction des conditions d'applications (profil de mission) et des objectifs de fiabilité.
L'atelier est le lieu privilégié pour discuter des problèmes concrets qui se posent aux utilisateurs de composants. Il permet d'aborder les cas non résolus, de comparer les approches ou les méthodologies et de rapprocher les utilisateurs des fabricants.
- 2** Répondre aux attentes des participants à savoir :
 - Elargissement du domaine d'activité (aller au delà des techniques d'analyse)
 - Prise en compte des exigences du marché et des contraintes économiques
 - Partage d'expériences
 - Rationalisation des démarches/approches.
 - Développement des contacts informels.
- 3** Promouvoir un réseau de spécialistes via l'association ANADEF.

CARACTÉRISTIQUES DU 11^{ÈME} ATELIER

L'atelier ANADEF est devenu une manifestation incontournable pour tous ceux qui s'intéressent à l'analyse de défaillance. Cet événement majeur de l'association ANADEF a lieu tous les deux ans et fêtera cette année ses 20 ans d'existence. Au fil du temps nous nous sommes toujours efforcés de prendre en compte les suggestions des participants : création des micro-ateliers en session parallèle depuis l'édition 2002, tutoriaux depuis l'édition 2006 et nouveauté pour l'édition 2008, la session plénière sur les moyens d'identifier la contrefaçon à laquelle de nombreux laboratoires ont à faire face aujourd'hui.

Rappelons que les sessions plénières offrent à tous les participants un état des lieux et un point de vue pertinent sur un domaine technique lié à l'analyse de défaillance. Les micro-ateliers, quant à eux, favorisent les débats de spécialistes et permettent de confronter des expériences, de partager des résultats ou des problèmes sur des thèmes plus « pointus ». Pour tous ceux, jeunes embauchés ou vieux routiers de l'analyse, les tutoriaux offrent un moyen de bénéficier d'une information pratique unique sur l'analyse de défaillance.

Cet atelier est un moment d'échange privilégié, d'enrichissement et de convivialité. C'est un lieu et un moment où le mot « participant » prend tout son sens. Chaque participant est acteur. C'est pourquoi nous vous invitons à construire de manière efficace votre participation en dialoguant avec les responsables de session, en leur proposant les sujets que vous souhaitez voir aborder, en leur soumettant des cas de défaillance/analyse/test qui vous préoccupent et en émettant toute suggestion que vous jugerez opportune (suggestions à envoyer à philippe.perdu@cnes.fr).

La volonté de toute l'équipe organisatrice est d'être à votre écoute et de toujours mieux répondre aux attentes des participants."

Au nom de toute l'équipe organisatrice, je vous souhaite par avance un excellent atelier.

Le Président d'ANADEF
Philippe PERDU