



PROGRAMME PEDAGOGIQUE DES TUTORIALS

Cette année, le programme de l'ATELIER propose une formation qui vient illustrer et compléter les exposés théoriques présentés lors des journées de la conférence.

La formation se répartit sur quatre modules journaliers appelés TUTORIALS.

Elle est placée sous la responsabilité du Comité Pédagogique () et est conventionnée par l'organisme de formation ADERA Service, enregistré sous le numéro de déclaration d'activité 72 33 03753 33.*

(*) **Comité pédagogique :** M. Bafleur - LAAS - Toulouse
G. Haller - STMicroelectronics - Rousset
C. Moreau - DGA CELAR - Bruz
B. Picart - ATMEL - Rousset

L'inscription à la formation inclut la participation aux sessions plénières des 4 journées de l'Atelier.

TUTORIAL N°1 « Diagnostic électrique »

- Titre du module de formation : « **Diagnostic électrique** »
- Date : Mardi 1^{er} juin 2009
- Durée : 2 heures
- Intervenant : **Gérald HALLER**, ST Microelectronics – Rousset
- Public : ingénieurs, techniciens supérieurs, enseignants chercheurs spécialistes de l'analyse de défaillance des composants électroniques
- Objectif pédagogique :
Mettre à niveau les connaissances du public sur les dernières techniques et méthodes du diagnostic électrique applicables à l'analyse de défaillance des composants électroniques
- Contenu pédagogique :
 - Etude du comportement électrique nominal de structures élémentaires en microélectronique.
 - Observation de l'effet de défauts sur ce comportement électrique.
 - Choix des moyens de stimulation et des techniques d'analyse les mieux adaptés en terme de localisation, mais aussi en terme d'observation du défaut.
 - Identification du mode de défaillance mis en jeu en confirmant le lien entre le défaut physique et le comportement électrique anormal du circuit défaillant.
 - Les circuits intégrés : problèmes plus complexes, cas particuliers.
 - Présentation des différentes techniques de tests électriques IDDQ, Schmoos Plots, LVT .
- Outils et moyens pédagogiques : exposés, retours d'expérience, discussions.

TUTORIAL N°2 « Techniques d'analyse de défaillance des VLSI »

- Titre de la formation : « **Techniques d'analyse de défaillance des VLSI** »
- Date : Mardi 1^{er} juin 2009
- Durée : 3h30
- Intervenant : **Bernard PICART**, ATMEL Rousset
- Public : ingénieurs, techniciens supérieurs, enseignants chercheurs spécialistes de l'analyse de défaillance des composants électroniques
- Objectif pédagogique :
Mettre à niveau les connaissances du public sur les dernières techniques d'analyse de défaillance, caractérisation électrique et localisation de défauts, des composants électroniques
- Contenu pédagogique :
 - Rappel des principales techniques d'analyse de défaillance

- Caractérisation électrique des défauts
- Description précise des techniques de localisation de défauts comme les cristaux liquides, la microscopie à émission de lumière en mode statique ou dynamique, le test par faisceau laser thermique ou photoélectrique, le test par faisceau d'électrons et le micro-probing
- utilisation du FIB dans l'analyse de défaillance pour la caractérisation "in situ" ou pour la préparation de lames minces dans la microscopie électronique à transmission (TEM).
- analyse physique du composant : microscopie électronique à balayage (SEM et TEM), analyse des matériaux (EDX & Auger), deprocessing et préparation des micro-sections.
- Outils et moyens pédagogiques : exposés, retours d'expérience, discussions.

TUTORIAL N°3 « ESD »

- Titre de la formation : « **ESD** »
- Date : Jeudi 3 juin 2009
- Durée : 2 heures
- Intervenant : **Marise BAFLEUR**, LAAS – Toulouse
- Public : ingénieurs, techniciens supérieurs, enseignants chercheurs spécialistes de l'analyse de défaillance des composants électroniques
- Objectif pédagogique :
Fournir les clés pour comprendre les phénomènes de décharges électrostatiques (ESD) et plus généralement les surcharges électriques (EOS) constituant encore une cause de défaillance majeure dans les applications électroniques
- Contenu pédagogique :
 - Classification des signatures de défaillance EOS/ESD nécessaires à une interprétation plus efficace des analyses de ce type de défaillances.
 - Modes de génération des EOS et des ESD et mécanismes de défaillance associés.
 - Principales normes (HBM, MM, CDM, latch-up, HBM IEC, CEM,...).
 - Stratégies de protection ESD aussi bien en termes d'environnement (contrôle de l'humidité, matériaux antistatiques,...) qu'en termes de protections physiques intégrées ou discrètes.
 - Présentation de cas d'analyse de défaillance typiques.
- Outils et moyens pédagogiques : exposés, retours d'expérience, discussions.

TUTORIAL N°4 « En route vers le 32 nm, nouvelles briques technologiques, nouveaux mécanismes de défaillance »

- Titre de la formation : « **En route vers le 32 nm, nouvelles briques technologiques, nouveaux mécanismes de défaillance** »
- Date : Vendredi 4 juin 2009
- Durée : 3 h30
- Intervenant : **Christian MOREAU** – DGA CELAR Bruz
- Public : ingénieurs, techniciens supérieurs, enseignants chercheurs spécialistes de l'analyse de défaillance des composants électroniques
- Objectif pédagogique :
Fournir les clés pour comprendre les évolutions des technologies silicium jusqu'au nœud technologique 32 nm et de percevoir les enjeux pour les générations futures
- Contenu pédagogique :
 - Rappel des lois de scaling et road map associés
 - Accroissement des performances du transistor (Ion, Ioff, mobilité,...)
 - Développement sur le module de grille métallique
 - Focus sur les briques d'interconnexion
 - Principaux mécanismes de défaillances des briques FEOL (Front End of Line) et BEOL (Back End of Line)
- Outils et moyens pédagogiques : exposés, retours d'expérience, discussions.

**Modalités et droits d'inscription à consulter
sur plaquette de l'Atelier**