

# ATELIER 2010

## 12<sup>ÈME</sup> ATELIER

«ANALYSE ET MÉCANISMES DE

DÉFAILLANCE DES COMPOSANTS

POUR L'ÉLECTRONIQUE»

VVF Domaine  
de Pinsolle

Port d'Albret  
(40)

1<sup>er</sup> juin au  
4 juin 2010

ORGANISE PAR

**anadef**

*Association loi 1901*

**ANALYSE DE DÉFAILLANCE & TECHNOLOGIE  
DES COMPOSANTS ÉLECTRONIQUES**

[www.anadef.org](http://www.anadef.org)

AVEC LE CONCOURS DE

 **Adera Service**

MARDI 01 JUIN

8h30

9h30 - 10h00

**Patrick POIRIER**  
Président association ANADEF  
patrick.poirier@nxp.com  
Tél. : 02 31 45 38 68

10h00 - 12h00

Animateurs :  
**Dominique CARISSETTI**  
THALES R&T - Palaiseau  
dominique.carisetti@thalesgroup.com  
Tél. : 01 69 41 56 73

**Christian MOREAU**  
DGA - CELAR - Bruz  
christian.moreau@dga.defense.gouv.fr  
Tél. : 02 99 42 93 98

**Nathalie MALBERT**  
IMS Bordeaux  
nathalie.malbert@ims-bordeaux.fr  
Tél. : 05 40 00 28 59

14h00 - 17h30

Animateurs :  
**Marie-France ROUX**  
EADS Astrium - Vélizy  
marie-france.roux@astrium.eads.net  
Tél. : 01 39 45 29 31

**Julien PERRAUD**  
THALES R&T - Palaiseau  
julien.perraud@thalesgroup.com  
Tél. : 01 69 41 56 70

**Pascal RETAILLEAU**  
MBDA - Le Plessis Robinson  
pascal.retailleau@mbda-system.com  
Tél. : 01 71 54 26 76

## Accueil des participants

Ouverture et présentation de l'atelier 2010

## Session n°1

### "Composant Hyper & Opto III-V"

Les composants à base de matériaux III-V (GaAs, InP, GaN) sont devenus incontournables dans notre environnement micro-électronique (télécommunications, radar), et ceci malgré les progrès incessants des composants à base de silicium. Cette session permettra d'une part, d'aborder les différents composants utilisant les hétérojonctions III-V du point de vue des technologies, des performances, des applications mais également de traiter les phénomènes qui limitent leur fiabilité (effets de pièges, effet thermiques...) et les solutions apportées par la mise en œuvre de techniques d'analyse spécifiques et complémentaires :

**L'optoélectronique** : Des nouvelles LED blanches à base de GaN pour les applications grand public (éclairage basse consommation) ou pour l'automobile, en passant par les diodes laser rouge IR et bleue pour l'émission optique pour les applications grand public (DVD, CD blueRay), aux caméras infrarouge à puits quantiques (QWIP) dans le domaine militaire ... , Quels sont les risques sur la fiabilité ? les mécanismes de dégradations ? les techniques d'analyse de défaillances mises en œuvre ?

**Transistor de Puissance RF** : Prétendant sérieux au remplacement du LDMOS RF, le HEMT AlGaIn/GaN et ses variantes font l'objet de nombreuses études. Dans cette partie, nous aborderons les techniques de reverse engineering très spécifiques de ces matériaux pour en maîtriser la fabrication et la fiabilité. La présence de pièges profonds dans le semi-conducteur est une des principales causes de défauts associés aux effets thermiques et électriques qu'il est donc nécessaire de caractériser par des techniques d'analyse spécifiques. Nous aborderons donc les techniques d'identification des pièges par méthodes électriques et électro-optiques ainsi que les méthodes de mesures de température de jonction sur les dispositifs par effet Raman et AFM thermiques.

## Session N°2

### "Interconnexions : report et packaging"

La course à l'intégration et à l'augmentation de débit, cumulée à l'impact des nouvelles réglementations européennes en terme de protection de l'environnement, entraînent le développement de nouveaux matériaux, de nouveaux types de composants électroniques et donc de nouvelles techniques d'analyse. Cette session nous donnera une nouvelle fois l'occasion de regarder l'impact de ces développements sur les assemblages, les boîtiers de composants, les circuits imprimés, et les techniques d'analyse associées.

Pour répondre à ces demandes d'intégration et surtout de protection de l'environnement, les procédés d'assemblage, tout comme les circuits imprimés, ont dû évoluer (backward, forward, réparation, séchage...). L'atelier permettra de se pencher sur les mécanismes de défaillances associés à ces évolutions. Une des solutions pour augmenter l'intégration est l'utilisation de composants en boîtiers SIP/MCM. L'objectif est de présenter les différentes solutions, les problèmes et risques associés à ces technologies de plus en plus répandues.

Aujourd'hui la mise en place et l'extension de l'application des systèmes normatifs et des directives européennes dans le domaine de l'environnement (REACH/ISO14000/RoHs) impliquent la recherche et l'emploi de nouveaux matériaux, de revoir les cycles de production et les procédés associés. Cette session sera l'occasion de faire le point sur les différences de comportement en vieillissement entre les brasures SAC et SnPb, en termes de mécanismes de défaillance et de lois de dégradation. Enfin, l'emploi de nouvelles technologies, la course à l'intégration ainsi que les nouveaux systèmes normatifs impliquent l'utilisation de nouvelles techniques d'analyse ou le développement des techniques existantes (DSC, RBS, fluorescence X, RX-3D, polissage ionique ...). L'application de différentes techniques sera présentée.

MERCREDI 02 JUIN

8h30 - 12h00

Animateurs :  
**Philippe PERDU**  
CNES - Toulouse  
philippe.perdu@cnes.fr  
Tél. : 05 61 28 20 17

**Fabien BATTISTELLA**  
Thales ISS - Toulouse  
fabien.battistella@thalesgroup.com  
Tél. : 05 61 27 30 70

**Bernard PICART**  
ATMEL Rousset  
bernard.picart@atmel.com  
Tél. : 04 42 53 63 18

## Session N°3

### "Analyse de défaillance des VLSI "

Le monde de l'analyse de défaillance des composants VLSI est en pleine mutation. L'intégration croissante rend les analyses circuits très complexes tandis que la géométrie élémentaire des structures est aujourd'hui très en dessous des limites des outils optiques utilisés jusqu'à présent. Les mécanismes de défaillances prépondérants changent au rythme de l'apparition des nouveaux matériaux utilisés aussi bien pour réaliser les structures actives (grille métallique, diélectrique haute permittivité) qu'au niveau des interconnexions (cuivre, diélectrique faible permittivité). Le concepteur, le fabricant et l'utilisateur du circuit sont donc confrontés à des processus d'analyses très complexes, faisant appel à des outils optimisés et des techniques nouvelles.

Cette session sera l'occasion de présenter : les nouveaux mécanismes de défaillance et leurs conséquences, les techniques les plus couramment utilisées par les laboratoires des fabricants, des intégrateurs, des utilisateurs finaux et des prestataires, les défis techniques et économiques liés à ces analyses, ce que l'on peut faire quand on a peu d'outils ou peu de connaissance sur le produit, les tendances actuelles (utilisation d'outils logiciels, Design for FA ...)

Cette session adressera un public très large qui trouvera dans le tutorial « Techniques d'analyse de défaillance des VLSI » une opportunité d'acquies les connaissances de base et plus tard dans celui sur les « Technologies submicroniques : Front end » un approfondissement sur ces nouvelles technologies. Les micro ateliers VLSI permettront aux spécialistes d'aller plus loin dans le partage des études de cas et des outils et des techniques utilisés.

MERCREDI 02 JUIN

14h00 - 17h30

Animateurs :  
**Alain WISLEZ**  
 Thales ISS - Toulouse  
 alain.wislez@thalesgroup.com  
 Tél. : 05 62 88 28 04

**Daniel TRIAS**  
 SERMA Technologies - Pessac  
 d.trias@serma.com  
 Tél. : 05 57 26 08 81

**Jannick GUINET**  
 Schneider - Grenoble  
 Jannick.guinet@schneider-  
 electric.com  
 Tél. : 04 76 57 78 87

## Session N°4 "Technologies et mécanismes de défaillances des composants de puissance"

Les composants électroniques de puissance n'ont jamais connu autant d'évolutions technologiques que ces dernières années. Poussés par leurs clients, les fabricants de composants conçoivent des composants plus performants, plus fiables, plus spécifiques, plus économes en énergie, plus respectueux de l'environnement et de la santé de l'utilisateur et surtout moins cher ! Ces évolutions sont possibles grâce à des révolutions technologiques tant au niveau de la puce que du boîtier. Aucune partie du composant n'est laissée de côté :

- les substrats de la puce (Si, SiC, GaN, autres ???...),
- les pistes métalliques (Al, AlCu, AlSiCu, Cu, autres ??) et les diélectriques High K et Low K,
- les designs en 3D,
- les colles puces et le wire bonding,
- les résines de boîtiers, les assemblages complexes en modules, et les PCB.

Les nouveaux composants de puissance doivent être aussi bien caractérisés et fiabilisés que les anciens.

Les mécanismes de défaillance des composants de puissance sont dorénavant aussi divers que variés. Le simple « burn out » n'est plus une explication suffisante et nécessaire, ce n'est qu'une résultante d'une suite d'événements au sein du matériau ou de la structure. L'analyse de défaillance des composants de puissance nécessite la mise en œuvre d'une très large palette de moyens au même titre que pour les technologies les plus agressives ou très intégrées.

Cette session aura donc pour objectif de faire un tour d'horizon de ces nouveaux composants de puissance, des mécanismes de défaillances et des méthodes d'analyse associées.

JEUDI 03 JUIN

10h30 - 12h00  
 14h00 - 15h30

Animateurs :  
**Jean-Pierre GUERVENO**  
 MBDA France - Le Plessis Robinson  
 jean-pierre.guerveno@mbda-systems.com  
 Tél. : 01 71 54 15 92

**Marise BAFLEUR**  
 LAAS CNRS - Toulouse  
 marise@laas.fr  
 Tél. : 05 61 33 69 66

**Dominique TALBOURDET**  
 EDF R&D - Moret-sur-Loing  
 dominique.talbourdet@edf.fr  
 Tél. : 01 60 73 63 91

## Session N°5 "Défiabilisation des composants en utilisation"

Malgré la constante amélioration de la qualité des composants, le taux de panne, qui est proche du zéro défaut à réception, augmente brutalement dès que les composants sont intégrés dans une application. Dans de nombreux cas, l'origine est imputable à une mise en œuvre inappropriée: conditionnement inadapté, procédé de fabrication/intégration mal maîtrisé ou utilisation client en dehors des limites garanties, etc. L'identification des sources de défiabilisation est capitale pour l'industriel car elle va lui permettre d'améliorer très nettement la fiabilité de ses produits. La difficulté majeure pour l'expert est l'identification des causes racines de la défaillance car il s'agit en général de stress "parasites" donc, hors processus nominal et souvent accidentels. D'autres événements peuvent générer un défaut latent non détectable lors d'un test fonctionnel mais susceptible d'évoluer au cours de la vie du composant. Outre ces stress parasites, un composant peut aussi se dégrader au cours d'un stockage longue durée ou d'une durée d'utilisation particulièrement longue comme c'est le cas dans les applications militaires ou aéronautiques.

L'objectif de cette session est de confronter les expériences de chacun en balayant toutes les étapes de vie d'un composant du déstockage magasin à l'utilisation du matériel par le client. Les présentations seront orientées sur plusieurs axes :

- Études de cas ayant une signature bien particulière dont la cause et l'action corrective sont bien identifiées.
- Exemples montrant la relation entre les stress induits par le procédé industriel ou l'application elle-même (température, ESD, EOS, EMI, rayonnement cosmique, fissures de boîtiers, délaminations, pollutions, etc...) et la fiabilité à long terme. En particulier, la présentation de nouveaux mécanismes de défaillance liés aux nouvelles technologies nanométriques (DSM) sera particulièrement appréciée.

16h00 - 17h30

Animateurs :  
**Xavier LAFONTAN**  
 NOVAMEMS - Toulouse  
 xavier.lafontan@novamems.com  
 Tél. : 05 61 33 10 00

**Jean-Paul REBRASSE**  
 ST Microelectronics - Tours  
 Jean-paul.rebrasse@st.com  
 Tél. : 02 47 42 42 93

**Murielle BERANGER**  
 Trixell - Moirans  
 murielle.beranger@trixell-thalesgroup.com  
 Tél. : 04 76 57 00 62

## Session N°6 "Nouveaux objets – Nouveaux défis"

En parallèle à la course à l'intégration et à la performance notamment illustrée par la loi de Moore, nous voyons apparaître des objets « hybrides » ou bien de nouveaux objets qui s'inscrivent donc dans ce qui est appelé le More than Moore.

Les objets "hybrides" ont des caractéristiques inimaginables il y a encore peu. On peut citer notamment les circuits imprimés par jet d'encre, les écrans, les accumulateurs d'énergie souples, les SiP, les puces organiques etc... Les nouveaux objets, quant à eux, sont issus de l'innovation en rupture avec les technologies de l'électronique classique. C'est pour cela qu'elles offrent des solutions applicatives totalement nouvelles. On trouve dans cette catégorie les capteurs tels que les MEMS, les imageurs, les lecteurs d'empreinte digitale, les détecteurs radiologiques mais aussi des modules de communication sans fil, de récupération ou de génération d'énergie autonome.

Ces objets soulèvent de nouvelles questions concernant l'analyse de défaillance :

Comment aborder une analyse (localisation, compréhension du mécanisme de défaillance et loi d'accélération) ? Les protocoles habituels sont-ils toujours applicables ? Peut-on adapter et réutiliser les équipements d'analyse présents dans nos laboratoires pour ces nouveaux objets ? Quels sont les nouveaux équipements à développer/acquérir ? Quelles sont les normes applicables pour leur qualification ? Les clients peuvent-ils attendre le même niveau de maturité que sur des technologies éprouvées ?

Cette session sera l'occasion de présenter certains de ces nouveaux objets et d'illustrer ces nouvelles problématiques en présentant des solutions grâce à des études concrètes et des premiers retours d'expérience.

## PROGRAMME DES TUTORIALS

**MARDI 01 JUIN**

**10h00 - 12h00**

**Gérald HALLER**

ST Microelectronics – Rousset  
gerald.haller@st.com  
Tél. : 04 42 68 55 78

### Tutorial 1 "Diagnostic électrique"

Le diagnostic électrique est un élément clef de l'analyse de défaillance car il permet d'acquérir des informations sur le comportement électrique du défaut qui permettront dans la suite de l'analyse :

- De choisir les moyens de stimulation et les techniques d'analyse les mieux adaptés en terme de localisation, mais aussi en terme d'observation du défaut.
- De conclure sur le mode de défaillance mis en jeu en confirmant le lien entre le défaut physique et le comportement électrique anormal du circuit défaillant.

Les tests électriques standards, orientés vers un fort taux de couverture ou une caractérisation fine du produit permettent de confirmer la défaillance du circuit. En complément, le test orienté diagnostic devra permettre d'acquérir un maximum d'informations sur les effets du défaut au niveau du circuit (IDDQ, Schmoos plots, ATPG). Après avoir décrit les moyens et méthodes de test orienté diagnostic, nous aborderons dans ce tutorial le comportement électrique de structures élémentaires soumises à différents types de défauts physiques afin de comprendre les modèles utilisés dans les logiciels de diagnostic disponibles aujourd'hui pour venir en aide à l'analyste. La dernière partie du tutorial traitera de l'utilisation de moyens logiciels de diagnostic, réservée jusqu'alors au domaine du test et du design et maintenant amenée à se démocratiser dans le cadre d'analyses de VLSI.

**14h00 - 17h30**

**Bernard PICART**

ATMEL Rousset  
bernard.picart@atmel.com  
Tél. : 04 42 53 63 18

### Tutorial 2 "Techniques d'analyse de défaillance des VLSI"

L'analyse de défaillance consiste à rechercher le défaut physique responsable du défaut électrique. Elle comprend trois étapes principales: la caractérisation électrique, la localisation du défaut puis l'analyse physique qui mène à l'identification du défaut et le cas échéant précise l'origine de son apparition.

Ce tutorial présente les principales techniques utilisées de nos jours en analyse de défaillance VLSI. Tout d'abord, nous aborderons la caractérisation électrique des défauts, en étudiant la configuration électrique requise, le mode de test et le matériel associés. Ensuite, nous effectuerons une description précise des techniques de localisation de défauts comme les cristaux liquides, la microscopie à émission de lumière en mode statique ou dynamique, le test par faisceau laser thermique ou photoélectrique, le test par faisceau d'électrons et le micro-probing. L'utilisation du FIB dans l'analyse de défaillance pour la caractérisation "in situ" ou pour la préparation de lames minces dans la microscopie électronique à transmission (TEM) sera décrite avec précision. La dernière partie traitera de l'analyse physique du composant, de la microscopie électronique à balayage (SEM) et du TEM, de l'analyse des matériaux (EDX & Auger), du deprocessing et des micro-sections. Chacune des techniques sera décrite en détail et de nombreux exemples illustreront leur utilisation.

**JEUDI 03 JUIN**

**8h30 - 10h30**

**Marise BAFLEUR**

LAAS CNRS - Toulouse  
marise@laas.fr  
Tél. : 05 61 33 69 66

### Tutorial 3 "ESD"

Malgré les importants efforts de recherche des dernières décennies, les décharges électrostatiques (ESD) et plus généralement les surcharges électriques (EOS) constituent encore une cause de défaillance majeure dans les applications électroniques. Identifier les origines exactes de la défaillance (protection insuffisante, mode de génération de stress ESD imprévu, procédure de test inappropriée,...) est essentiel pour mettre en œuvre les actions correctrices nécessaires. Plus récemment, les équipementiers requièrent également des spécifications de robustesse ESD au niveau composant selon les normes IEC (ex : 61000-4-2) qui étaient, jusqu'à présent, seulement appliquées au système complet.

L'objectif de ce tutorial est de donner les connaissances de base et de fournir une classification des signatures de défaillance EOS/ESD nécessaires à une interprétation plus efficace des analyses de ce type de défaillances. Dans une première partie, seront rappelés les modes de génération des EOS et des ESD, les principales normes (HBM, MM, CDM, latch-up, HBM IEC, CEM,...) et les mécanismes de défaillance principaux. Une deuxième partie présentera les différentes stratégies de protection ESD aussi bien en termes d'environnement (contrôle de l'humidité, matériaux antistatiques,...) qu'en termes de protections physiques intégrées ou discrètes. Une troisième partie sera consacrée à la présentation de cas d'analyse de défaillance typiques, issus des travaux du groupe de travail EOS/ESD de l'ANADEF, d'une part, et de travaux précurseurs menés au LAAS-CNRS sur les aspects ESD au niveau système, d'autre part.

**VENDREDI 04 JUIN**

**9h00 - 12h30**

**Christian MOREAU**

DGA - CELAR - Bruz  
christian.moreau@dga.defense.gouv.fr  
Tél. : 02 99 42 93 98

### Tutorial 4 "En route vers le 32 nm, nouvelles briques technologiques, nouveaux mécanismes de défaillance"

Le but de ce tutorial est de fournir les clés pour comprendre l'évolution des technologies jusqu'au nœud technologique 32 nm et de percevoir les enjeux pour les générations futures. Lors de l'analyse de défaillance ou de construction, il s'avère nécessaire de bien intégrer le procédé technologique pour pouvoir poser le bon diagnostic. Au cours de ce tutorial, seront évoqués les points suivants :

- Bref rappel des lois de scaling et road maps associés.
- Accroissement des performances du transistor (Ion, Ioff, mobilité,...) et focus sur le module de grille métallique.
- Focus sur les briques d'interconnexions (Low K et cuivre).
- Principaux mécanismes de défaillances des briques FEOL (Front End of Line) et BEOL (Back End of Line).

## PROGRAMME DES MICRO-ATELIERS

Ces « micro-ateliers » ont pour objectif de favoriser les échanges informels entre les analystes de défaillance. Chaque « micro-atelier » comprendra une description rapide du thème suivi d'études de cas montrant des exemples d'utilisation. L'étude de ces cas permettra de décrire des problèmes résolus ou non et de présenter la méthode employée pour traquer un défaut. A l'issue de ces présentations, un débat entre les participants pourra donner lieu à des discussions qui favoriseront l'échange et le partage d'expériences.

**Coordination : Bernard PICART**

ATMEL Rousset  
bernard.picart@atmel.com  
Tél. : 04 42 53 63 18

**Patrick POIRIER**

NXP semiconductors - Caen  
patrick.poirier@nxp.com  
Tél. : 02 31 45 38 68

## PROGRAMME DES MICRO-ATELIERS

### MERCREDI 02 JUIN

8h30 - 12h00

Animateurs :  
**Frédéric DULONDEL**  
SAGEM - CERGY  
frederic.dulondel@sagem.com  
Tél. : 01 58 11 93 89

**Jean-Pierre GUERVENO**  
MBDA France - Le Plessis Robinson  
jean-pierre.guerveno@mbda-systems.com  
Tél. : 01 71 54 15 92

14h00 - 17h30

Animateurs :  
**Bernard PICART**  
ATMEL Rousset  
bernard.picart@atmel.com  
Tél. : 04 42 53 63 18

**Patrick TABARY**  
ALTIS Semiconductor - Corbeil-Essonnes  
patrick.tabary@altissemiconductor.com  
Tél. : 01 60 88 99 68

### Micro-atelier n°1 "Interconnexions report & packaging"

L'objectif de cet atelier est d'échanger sur les techniques d'analyse des technologies d'interconnexions : BGA, flip-chip, circuits imprimés, substrats cocuits, SIP intégrant plusieurs technologies (piezo, MEMS, Optique,...). Il aborde les mêmes sujets que la session 2 mais avec une orientation techniques d'analyse axée sur 2 thèmes :

- Les techniques de localisation électrique et physique (JTAG, Time Domain Reflectometry, Thermo IR, Xrays, ...)
- Les techniques d'analyse physique (techniques de polissage, révélations, fluorescence X, ...)
- Ces techniques seront discutées sur leurs avantages, leurs limites et leurs difficultés en s'appuyant sur des études de cas.

### Micro-atelier n°2 "Analyse et caractérisation physique des VLSI"

Dans ce micro-atelier seront abordées, à travers des études de cas, les principales méthodes d'analyse et de caractérisation physique tels que le SEM (à Haute Résolution, Basse énergie...), le FIB pour les réalisations de cross-sections, préparations pour TEM (en sections ou planaires), ou les modifications de circuits, le TEM (aspects préparations d'échantillons et capacités analytiques). La microscopie à force atomique (AFM) et les mesures électriques associées (SCM, SSRM...) seront également traitées ainsi que les nouveaux développements de l'AFP (Atomic Force Probing), pour le probing interne des technologies sub-microniques. Des présentations de fournisseurs seront sollicitées ainsi que les avancées des groupes de travail ANADEF actifs sur les domaines traités (groupes "Modification de circuit par FIB" ou "Mesures Dimensionnelles SEM" par exemple).

### JEUDI 03 JUIN

8h30 - 12h00  
14h00 - 15h30

Animateurs :  
**Bernard PICART**  
ATMEL Rousset  
bernard.picart@atmel.com  
Tél. : 04 42 53 63 18

**Yves COLIN**  
ATMEL Nantes  
yves.colin@atmel.com  
Tél. : 02 40 18 17 46

### Micro-atelier n°3 "Localisation et caractérisation électrique de défauts dans les VLSI"

Dans cette session, seront étudiées les principales méthodes de localisation de défauts par microscopie optique, notamment la microscopie à émission de lumière et le test par faisceau laser. Les méthodes statiques comme l'EMMI, OBIRCH/TIVA, OBIC/LIVA ainsi que les méthodes dynamiques comme TRE/PICA, DLS, LADA seront ensuite abordées au travers d'études de cas. Nous traiterons aussi de l'utilisation des lasers modulés et pulsés ainsi que de leurs applications. Nous insisterons particulièrement sur l'émulation électrique des circuits qui pourra être statique (avec alimentation ou traceur de courbe), pseudo-statique (en s'arrêtant sur un vecteur de test) et dynamique (en bouclant sur les vecteurs de test choisis). Le groupe de travail ANADEF sur les "Techniques optiques dynamiques" sera sollicité afin de présenter les avancées sur le sujet.

### VENDREDI 04 JUIN

9h00 - 12h00

Animateurs :  
**Philippe PERDU**  
CNES - Toulouse  
philippe.perdu@cnes.fr  
Tél. : 05 61 28 20 17

**Patrice SCHWINDENHAMMER**  
NXP Semiconductors - Caen  
patrice.schwindenhammer@nxp.com  
Tél. : 02 31 45 60 16

### Micro-atelier n°4 "Préparation d'échantillons"

Boîtiers complexes, assemblages 3D, MEMS ... Comment préparer les échantillons pour localiser les défauts ? Les techniques actuelles de préparation d'échantillons pour la localisation face arrière sont-elles suffisantes ? Doit-on envisager le désassemblage complet du système et mettre en œuvre des techniques de repackaging ? Une fois le défaut localisé, nous devons procéder à l'analyse physique à petite échelle et là encore la préparation d'échantillons devient un véritable défi. Les matériaux nouveaux, cuivre, low K et high K sont-ils compatibles avec les procédés physiques et chimiques actuels ? Quels outils et quelles techniques de destratification sont-ils adaptés à nos problèmes ? Outre ces questions prospectives, ce micro atelier sera un lieu d'échange et de débats sur les techniques et les outils de préparation actuels, les difficultés de mise en œuvre, les trucs et astuces et tout ce qui peut intéresser tous ceux qui sont confrontés à ces problèmes de préparation d'échantillons. Ce micro-atelier sera un lieu d'échanges privilégié pour tous ceux dont le problème est d'accéder au défaut dans la puce ou de révéler sans artefacts une surface, une structure à observer en microscopie.

## INSCRIPTIONS : INFORMATIONS GENERALES

### INFORMATIONS PRATIQUES

- **Site et coordonnées :** Entre forêt, lac et océan situé sur la côte des Landes, à proximité du Pays Basque et de l'Espagne  
WF Belambra - Résidence "Domaine de Pinsolle", Port d'Albret (entrée sud) - 40140 Soustons
- **Transport/accès :** Aéroport de Biarritz à 50 km, aéroport de Bordeaux-Mérignac à 150 km  
En train : gare de Dax à 30 km  
En voiture : A 64 sortie Magescq et direction Soustons, Vieux-Boucau
- **Accueil sur site :** L'accueil sera ouvert au WF-Vacances : le lundi 31 mai 2010 de 18h00 à 21h00  
le mardi 1<sup>er</sup> juin 2010 à partir de 8h00 et aux heures d'ouverture du séminaire

- **Votre contact pour toute information concernant votre inscription :**  
Véronique LHEUREUX - ADERA Service - Centre Condorcet - B.P. 196 - 33608 Pessac Cedex  
e-mail : registration@adera.fr - Tél. : 05 56 15 80 03 - Fax : 05 56 15 11 60

- Les inscriptions s'effectuent en ligne via le site [www.anadef.org](http://www.anadef.org)
- L'inscription à l'Atelier est nominative. Aucune inscription partagée ne sera acceptée.
- Le montant de la participation inclut par jour : - Hébergement (Nuit)/restauration (petits-déjeuners, pauses, déjeuners et dîners)  
- Participation à la conférence  
- Documentation, CD ROM, actes et liste des participants
- Un tarif préférentiel (indiqué ci-dessous) est accordé aux membres ANADEF à jour de cotisation 2010.

### L'ATELIER 2010 est éligible au titre de la formation continue.

La formation est conventionnée par ADERA SERVICE - organisme de formation enregistré sous le n° de déclaration d'activité formation 72 33 03753 33. Toute demande de prise en charge par l'Entreprise du stagiaire des frais d'inscription par un Organisme Paritaire Collecteur Agréé devra être précisée lors de son inscription. Une convention de formation sera alors établie par ADERA SERVICE.

- Un tarif préférentiel (indiqué ci-dessous) est accordé aux membres ANADEF à jour de cotisation 2010.

	Membre ANADEF	Non membre - ANADEF	Formule tout compris : forfait hébergement, participation à la conférence, documentation.
1 <sup>ère</sup> inscription	1 435,20 € TTC	1 794,00 € TTC	
2 <sup>ème</sup> inscription	1 291,68 € TTC	1 650,48 € TTC	

- **Date limite d'inscription :** au plus tard le 12 mai 2010. Passée cette date, la réservation hôtelière n'est pas garantie sur le site de l'Atelier.
- **Une confirmation d'inscription sera adressée à chaque participant.** Assurez-vous qu'apparaît sur votre moyen de paiement la mention "Inscription à l'Atelier 2010" ainsi que le nom du participant et celui de sa société ou organisme.
- **Annulation/Remboursement :** toute annulation doit être faite par écrit ou courrier électronique. Si l'annulation parvient à ADERA Service avant le 12 mai 2010, 120 € HT de frais de dossier seront retenus. Aucun remboursement ne sera effectué à partir du 12 mai 2010.

### CONTACT

### MODALITES DE DROITS D'INSCRIPTION

## COMITÉ SCIENTIFIQUE

Marise BAFLEUR  
Fabien BATTISTELLA  
Murielle BERANGER  
Dominique CARISSETTI  
Yves COLIN  
Frederic DULONDEL  
Jean-Pierre GUERVENO  
Jannick GUINET  
Gérald HALLER  
Nathalie LABAT  
Xavier LAFONTAN  
Nathalie MALBERT  
Christian MOREAU  
Philippe PERDU  
Julien PERRAUD  
Bernard PICART  
Patrick POIRIER  
Jean-Paul REBRASSE

LAAS - Toulouse  
THALES ISS - Toulouse  
TRIXELL - Moirans  
THALES R&T - Palaiseau  
ATMEL - Nantes  
SAGEM - Cergy  
MBDA - Le Plessis Robinson  
SCHNEIDER Electric - Grenoble  
STMicroelectronics - Rousset  
IMS - Bordeaux  
NOVAMEMS - Toulouse  
IMS - Bordeaux  
DGA - CELAR - Bruz  
CNES - Toulouse  
THALES R&T - Palaiseau  
ATMEL - Rousset  
NXP Semiconductors - Caen  
STMicroelectronics - Tours

Pascal RETAILLEAU  
Marie-France ROUX  
Patrice SCHWINDENHAMMER  
Patrick TABARY  
Dominique TALBOURDET  
Daniel TRIAS  
Alain WISLEZ

MBDA - Le Plessis-Robinson  
EADS Astrium - Vélizy  
NXP Semiconductors - Caen  
ALTIS - Corbeil-Essonnes  
EDF R&D - Moret-sur-Loing  
SERMA Technologies - Pessac  
THALES ISS - Toulouse

### Coordination technique de l'atelier :

Nathalie LABAT IMS - Bordeaux  
Email : nathalie.labat@ims-bordeaux.fr  
Tél. : 05 40 00 65 51

### Secrétariat technique ANADEF :

Jean-Claude Hubert ANADEF  
Email : jcmad.hubert@wanadoo.fr  
Tél. : 09 71 40 72 74

## Association ANADEF

Depuis plus de 20 ans, dans un cadre assez peu formel, se réunissent les principaux laboratoires et sociétés du domaine de l'électronique. Afin d'améliorer notre fonctionnement et d'offrir de meilleurs services, nous sommes passés en association.

Les métiers de l'analyse de défaillance des composants et sous-ensembles électroniques, ainsi que celui de la qualification des composants dans lesquels nous évoluons, sont en perpétuelle évolution. Néanmoins ces métiers sont limités dans chaque entreprise à un petit groupe de personne. Les investissements, tant en matériel qu'en formation, sont coûteux, et faire le bon choix est essentiel tant pour réaliser directement que pour sous-traiter. L'isolement ne permet pas de faire face rapidement et à faible coût aux nouveaux problèmes, alors qu'un travail de groupe basé sur l'échange et le partage des connaissances permet d'y remédier.

Parmi les principales actions réalisées :

- L'évaluation de techniques nouvelles ou de nouveaux équipements
- La mise au point de méthodes d'essais
- Le partage technique des expériences
- La création d'un réseau Intranet réservé à nos membres et associé au Site Web ([www.anadef.org](http://www.anadef.org))

**L'appartenance à notre association est le meilleur moyen d'enrichir à la fois ses compétences et ses relations professionnelles ce qui offre alors de multiples possibilités : accès formel ou informel à l'expert du domaine, réalisation d'un type d'essai particulier, organisation de coopérations dans le cadre de programmes français ou européens.**

## OBJECTIFS DE L'ATELIER

- 1** Faire se rencontrer et dialoguer de façon informelle tous ceux (fabricants de composants, équipementiers, laboratoires d'analyse & universitaires) qui ont en commun le souci de comprendre les mécanismes de défaillance afin de mieux maîtriser les choix de composants en fonction des conditions d'applications (profil de mission) et des objectifs de fiabilité.  
L'atelier est le lieu privilégié pour discuter des problèmes concrets qui se posent aux utilisateurs de composants. Il permet d'aborder les cas non résolus, de comparer les approches ou les méthodologies et de rapprocher les utilisateurs des fabricants.
- 2** Répondre aux attentes des participants à savoir:  
Elargissement du domaine d'activité (aller au delà des techniques d'analyse)  
Prise en compte des exigences du marché et des contraintes économiques  
Partage d'expériences  
Rationalisation des démarches/approches.  
Développement des contacts informels.
- 3** Promouvoir un réseau de spécialistes via l'association ANADEF.
- 4** Cette année, le programme de l'ATELIER propose une formation qui illustre et complète les exposés théoriques présentés lors des journées de la conférence.  
La formation se répartit sur quatre modules journaliers appelés TUTORIALS.

## CARACTÉRISTIQUES DU 12<sup>ÈME</sup> ATELIER

Pour cette 12<sup>ème</sup> édition de l'ATELIER, le comité scientifique a reconduit la formule en place depuis 2004 et préparé un programme alliant sessions plénières destinées à faire un état de l'art des problématiques rencontrées dans nos métiers aujourd'hui et micro-ateliers qui vous permettront d'approfondir ces sujets.

Pour cette nouvelle édition, nous reconduirons également les tutoriaux, plébiscités par les participants. Nous avons œuvré avec l'ADERA et les intervenants, que nous remercions, pour rendre les tutoriaux éligibles au titre de la formation. En effet, nous avons souhaité pouvoir en faire profiter le plus grand nombre, l'éligibilité au titre de la formation doit pouvoir ainsi en faciliter la participation.

Une nouvelle fois, l'objectif de cet ATELIER 2010, sera de réunir dans un même lieu, tous les acteurs impliqués dans les mécanismes de défaillance des composants électroniques, des systèmes et des assemblages, qu'ils soient issus de laboratoires industriels, publics ou académiques mais également fournisseurs d'équipements

Toute l'équipe organisatrice souhaite faire de cet ATELIER un moment fort d'échanges et de partages dans un cadre convivial et souhaite vous voir très nombreux.

Le Président d'ANADEF  
Patrick POIRIER