

## PROGRAMME PEDAGOGIQUE DES TUTORIALS

Comme en 2010, le programme de l'ATELIER 2012 propose une formation qui consolide et structure les connaissances pour une parfaite compréhension des exposés théoriques présentés lors des sessions plénières de la conférence. La formation se répartit sur quatre modules journaliers appelés TUTORIALS.

Elle est placée sous la responsabilité du Comité Pédagogique (\*) et est conventionnée par l'organisme de formation ADERA Service, enregistré sous le numéro de déclaration d'activité 72 33 03753 33.

(\*) **Comité pédagogique :**

M. Gleizes, MBDA France - Le Plessis-Robinson	C. Lataste, NovaMems - Toulouse
F. Gonnnet, THALES R&T - Palaiseau	C. Moreau - DGA - Maîtrise de l'information - Bruz
G. Haller, STMicroelectronics - Rousset	C. Munier, EADS IW - Suresnes
V. Largeaud, ALSTOM Transport - Villeurbanne	Ph. Perdu, CNES - Toulouse

L'inscription à la formation inclut et n'est pas dissociable de la participation aux sessions plénières des 4 journées de l'Atelier.

## TUTORIAL 1

### « Interconnexions, PCB »

- **Titre du module de formation :** « Interconnexions, PCB »
- **Date :** Mardi 5 juin 2012
- **Durée :** 3 h
- **Intervenantes :** Catherine MUNIER, EADS – IW, Suresnes  
Véronique LARGEAUD, ALSTOM Transport, Villeurbanne
- **Public :** ingénieurs, techniciens supérieurs, enseignants chercheurs spécialistes de l'analyse de défaillance des composants électroniques
- **Objectif pédagogique :**

Lors de défaillance d'un équipement ou d'une carte, les premiers éléments analysés sont généralement les composants et l'assemblage (incluant bien sûr une première vérification de la connectique). Ainsi, une part croissante des défaillances ne sont pas identifiées. Ces défaillances non identifiées peuvent tout simplement provenir du circuit imprimé. Dimensionnement du circuit au niveau électrique, thermique, mais aussi non respect des règles de l'art lors du design ou encore spécifications client /fournisseur insuffisantes, aléas de fabrication, sont autant de facteurs à risques pouvant entraîner des défaillances au niveau du circuit imprimé.

L'objectif de ce tutorial est de présenter les principaux mécanismes de défaillance des circuits imprimés, d'en expliquer leur origine ainsi que leurs effets ou conséquences sur le fonctionnement d'un équipement ou d'une carte. Black pad, CAF (Conductive Anodique Filament), impact de contaminants (migration électrochimique de surface, diffusion à travers les couches en particulier le masque de soudure), rupture de liaison ou courant de fuite trouveront leur explication dans la mouvance, entre autre, des matières premières et des différentes chimies, l'incompatibilité entre différents matériaux, la maîtrise des procédés de fabrication par le fabricant mais aussi dans l'adaptation du design aux contraintes de fabrication (Règles DFM) ou encore d'utilisation de l'équipement (profil de mission, règles DFR).

En parallèle, lors de la description des défaillances et des causes racines possibles, différentes méthodes permettant de mettre en évidence ces défaillances seront présentées allant de méthodes non destructives (électriques, physiques) aux méthodes destructives (physiques et chimiques).

## TUTORIAL 2

### « Techniques d'analyse de défaillance des VLSI : du diagnostic à la localisation de défaut »

- **Titre du module de formation :** « Techniques d'analyse de défaillance des VLSI : du diagnostic à la localisation de défaut »
- **Date :** Mardi 5 juin 2012
- **Durée :** 3 h
- **Intervenants :** Gérald HALLER, ST Microelectronics - Rousset  
Christian MOREAU, DGA/Maîtrise de l'Information - Bruz  
Philippe PERDU, CNES - Toulouse
- **Public :** ingénieurs, techniciens supérieurs, enseignants chercheurs spécialistes de l'analyse de défaillance des composants électroniques
- **Objectif pédagogique :** Les défauts rencontrés dans les technologies VLSI avancées actuelles sont-ils localisables ? Analysables ? Quel processus d'analyse et quels outils peuvent être mis en œuvre ? L'objectif ambitieux de ce tutorial est de vous aider à répondre à ces questions.

L'analyse de défaillance consiste à rechercher le défaut physique responsable du défaut électrique. Elle comprend trois étapes principales : la caractérisation électrique, la localisation du défaut puis l'analyse physique qui mène à l'identification du défaut et le cas échéant précise l'origine de son apparition.

Ce tutorial adresse de manière plus spécifique la localisation des défauts et comporte 3 parties :

- Mécanismes de défaillance dans les technologies actuelles - Signature électrique et physique des défauts (visibles ou non-visibles)
- Processus de l'analyse de défaillances et outils adaptés aux technologies actuelles, du diagnostic à la localisation
- Techniques optiques de localisation de défauts : cette partie concerne les techniques statiques et dynamiques de thermographie, d'émission de lumière, de stimulation laser et de laser en mode réfléchi avec comme objectif de préciser quelle technique choisir et pourquoi.

## TUTORIAL 3 « MEMS »

- **Titre du module de formation :** « MEMS »
- **Date :** Jeudi 7 juin 2012
- **Durée :** 3 h
- **Intervenant :** Clovis LATASTE, NovaMems - Toulouse
- **Public :** ingénieurs, techniciens supérieurs, enseignants chercheurs spécialistes de l'analyse de défaillance des composants électroniques
- **Objectif pédagogique :**

Quelles sont les différentes technologies MEMS (Micro Electro Mechanical Systems) ?

Quels sont leurs niveaux de développement et de maturité technologique ?

Comment évaluer la fiabilité d'une filière MEMS ?

Quelles techniques spécifiques ces technologies demandent-elles pour investiguer leurs défaillances potentielles ?

Nous essaierons de répondre à ces interrogations, en les abordant point par point :

- Introduction aux technologies MEMS
- Fiabilité MEMS
- Méthodes de caractérisation et d'analyse de défaillance dédiées aux MEMS.

## TUTORIAL 4

### « Composants Passifs »

- **Titre du module de formation :** « Composants Passifs »
- **Date :** Vendredi 8 juin 2012
- **Durée :** 3 h
- **Intervenants :** Matthieu GLEIZES, MBDA France – Le Plessis-Robinson  
Françoise GONNET, THALES R&T - Palaiseau
- **Public :** ingénieurs, techniciens supérieurs, enseignants chercheurs spécialistes de l'analyse de défaillance des composants électroniques
- **Objectif pédagogique :**

Les composants passifs sont présents partout et en très grand nombre sur une carte électronique où ils occupent en moyenne plus de 80% de la surface. Certes ces composants ne comportent pas de source d'énergie et ne sont pas les "locomotives" des assemblages, mais sans passifs rien ne serait actif. Ils sont bien souvent sacrifiés pour protéger les composants actifs car il est plus facile et moins onéreux de changer un condensateur ou une résistance qu'une mémoire ou un processeur. De ce fait les composants passifs sont à l'origine de 30% des défaillances des cartes électroniques.

En trois heures il n'est pas possible de présenter tous les composants passifs et toutes les problématiques. Le choix s'est naturellement tourné vers la trilogie des passifs, le fameux RLC : Résistances, Inductances, Condensateurs. Pour chaque famille seront présentés les différentes technologies, les principaux modes et mécanismes de défaillance et les techniques d'analyses associées.

**MODALITÉS ET DROITS D'INSCRIPTION  
À CONSULTER SUR PLAQUETTE DE L'ATELIER**