

PROGRAMME PEDAGOGIQUE DES TUTORIALS

Le programme de l'ATELIER propose une formation qui fournit les bases de connaissances pour une parfaite compréhension des exposés théoriques présentés au cours des sessions. La formation se répartit sur cinq modules journaliers appelés TUTORIALS.

Elle est placée sous la responsabilité du Comité Pédagogique* et est conventionnée par l'organisme de formation ADERA Service, enregistré sous le numéro de déclaration d'activité 72 33 03753 33.

(*) Comité pédagogique :

S.Ben Dhia – LAAS – Toulouse.

F.Caignet – LAAS – Toulouse

F.Davenel – DGA MI – Bruz

C.Grosjean, STMicroelectronics – Rousset

V.Largeaud, ALSTOM Transport – Villeurbanne

F.Molière, EADS IW – Suresnes

C.Munier, EADS IW – Suresnes

O.Maire EADS IW - Suresnes

Ph.Perdu, CNES - Toulouse

L'inscription à la formation inclut et n'est pas dissociable de la participation aux sessions plénières des 4 journées de l'Atelier.

TUTORIAL 1

« Objets 3D et analyse de défaillance »

• **Date** : Mardi 3 juin 2014• **Durée** : 2 heures• **Intervenant** : Philippe PERDU, CNES – Toulouse• **Public** : ingénieurs, techniciens supérieurs, enseignants chercheurs spécialistes de l'analyse de défaillance des composants électroniques• **Objectif pédagogique** :

Mettre à niveau les connaissances du public sur les dernières techniques et méthodes d'analyse de défaillance applicables aux composants électroniques 3D

• **Contenu pédagogique** :

Les technologies 3D sont encore marginales mais elles sont en forte croissance et devraient représenter une part importante du marché dans les années à venir. Cela concerne aussi bien les systèmes (SiP ou « System in Package » que les circuits intégrés (CI). Les SiP (Systèmes in Package) intègrent des technologies hétérogènes pouvant incorporer des capteurs, de la RF, de la puissance, de l'analogique et du numérique. Les fabricants de CI utilisent de plus en plus des techniques d'empilage de puces dans le même boîtier pour accroître les capacités de stockage (FLASH) ou la puissance (FPGA). Ces mêmes fabricants développent des techniques de connexions verticales directes et courtes de puce à puce. Ce sont les TSV (Through Silicon Via).

L'analyse de défaillance de ces objets 3D est assez difficile : nous n'avons plus d'accès optique au cœur du circuit et la dimension verticale a été rajoutée à ce que nous faisons précédemment. Il faut également prendre en compte la complexité

d'un SiP pour lequel un non fonctionnement peut venir de la partie capteur !

Après une brève description des objets 3D, ce tutorial décrira les techniques utilisables, du diagnostic à l'analyse physique, dans le cadre d'un processus standard d'analyse. Nous insisterons particulièrement sur la localisation de défauts. Dans les technologies 3D, seuls quelques principes physiques peuvent être utilisés. Les principes physiques utilisés à l'heure actuelle sont basés sur les phonons (thermographie ou acoustique), sur l'électromagnétique (mesure de champ magnétique et réflectométrie) et sur les rayons X. Les outils et les techniques associées permettant de localiser les défauts seront présentés et expliqués à l'aide d'une approche basée sur le diagnostic. Nous nous limiterons aux défauts les plus fréquents (courts circuits ou fuites et circuits ouverts ou chemins résistifs). Les techniques présentées seront la microscopie magnétique, la thermographie, la réflectométrie (y compris TeraHertz) pour la localisation de défauts en rapport avec le diagnostic électrique. Les techniques complémentaires (Rayons X et acoustique) seront également brièvement décrites. Nous ne les aborderons pas dans le détail et il en sera de même pour les techniques de préparations qui permettent d'accéder à la zone défectueuse et d'analyse physique de cette partie défectueuse.

Une étude de cas complète illustrera ce tutorial et permettra aux auditeurs d'avoir une vision globale du processus d'analyse de défaillance sur des objets 3D.

• **Outils et moyens pédagogiques** : exposés, retours d'expérience, études de cas, discussions.

TUTORIAL 2

« Analyse physico-chimique »

• **Date** : Mardi 3 juin 2014• **Durée** : 1,5 heure• **Intervenant** : Catherine GROSJEAN, STM - Rousset• **Public** : ingénieurs, techniciens supérieurs, enseignants chercheurs spécialistes de l'analyse de défaillance des composants électroniques• **Objectif pédagogique** :

Mettre à niveau les connaissances du public sur les dernières techniques et méthodes d'analyse physico-chimique applicables à l'analyse de défaillance des composants de l'électronique

• **Contenu pédagogique** :

Il existe de nombreuses méthodes d'analyses physico-chimiques des matériaux qui se distinguent en fonction de leur sensibilité, leur résolution spatiale latérale,

résolution en profondeur et du type d'information chimique (élémentaire ou moléculaire) qu'elles adressent.

L'objet de ce tutorial est de présenter une vue générale des méthodes actuellement les plus couramment utilisées en support à l'analyse de défaillance en électronique, en insistant sur la complémentarité de ces méthodes au niveau des informations qu'elles peuvent apporter, sur leurs avantages et inconvénients et sur les contraintes qu'elles supposent pour être utilisées à bon escient en terme de conditionnement, de préparation et de géométrie d'échantillon. Les techniques seront abordées à travers des exemples concrets.

• **Outils et moyens pédagogiques** : exposés, retours d'expérience, discussions.

TUTORIAL 3

« PCB, Assemblages »

• **Date** : Mercredi 4 juin 2014

• **Durée** : 3,5 heures

• **Intervenants** : Véronique LARGEAUD, ALSTOM – Villeurbanne
Catherine MUNIER / Olivier MAIRE, EADS / IW - Suresnes

• **Public** : ingénieurs, techniciens supérieurs, enseignants chercheurs spécialistes de l'analyse de défaillance des composants électroniques

• **Objectif pédagogique** :

Mettre à niveau les connaissances du public sur les dernières techniques et méthodes d'analyse de défaillance applicables aux PCBs et assemblages électroniques

• **Contenu pédagogique** :

Pour ce nouveau tutorial sur les circuits imprimés, nous vous proposons une approche un peu différente qui répondra aux multiples questions du précédent tutorial. Nous avons tenté de vous expliquer les mécanismes de quelques

défaillances. Nous avons vu que ces défaillances pouvaient être liées au design de la carte (dimensionnement électrique, thermique, non-respect de règles DFM (Design For Manufacturing), dossier client), aux aléas de fabrication (PCB et EMS).

Cette fois, nous aborderons chacun des aspects précités au travers des principales étapes de fabrication d'un circuit imprimé.

Nous développerons, du fait des procédés de fabrication, les impacts du design, du non-respect de certaines règles de savoir-faire (règles DFM) sur la dé-fiabilisation d'une carte, le tout combiné aux aléas intrinsèques de la fabrication d'un circuit imprimé ou de son assemblage.

Nous vous présenterons pour ces principales étapes quelques défauts pouvant conduire à des défaillances pas seulement en sortie de ligne de fabrication mais aussi lors de l'exploitation.

• **Outils et moyens pédagogiques** : exposés, retours d'expérience, discussions.

TUTORIAL 4

« ESD/EMC »

• **Date** : Jeudi 5 juin 2014

• **Durée** : 3,5 heures

• **Intervenants** : Fabrice CAIGNET, Sonia BEN DHIA LAAS/CNRS - Toulouse

• **Public** : ingénieurs, techniciens supérieurs, enseignants chercheurs

• **Objectif pédagogique** : fournir les clés pour comprendre les phénomènes de décharges électrostatiques (ESD) et les problèmes de compatibilité électromagnétique (CEM) au niveau des composants constituant encore une cause de défaillance majeure dans les applications électroniques.

• **Contenu pédagogique** :

Les ESD au niveau système (1h45) – Fabrice Caignet

Au cours de leur utilisation, les produits électroniques sont soumis à des décharges électrostatiques (en anglais : ESD - ElectroStatic Discharge) pouvant induire des erreurs de fonctionnement et/ou leur destruction. On estime aujourd'hui entre 20 et 40% les retours clients liés à des phénomènes transitoires rapides comme les EOS (Electrical Over-Stress), dont font partie les ESD.

Pour s'affranchir de ce type de défaillances, des tests sont effectués dans l'industrie selon différentes normes, comme l'IEC61000-4-2 ou l'ISO10605 pour l'automobile. Lorsqu'une défaillance du produit est révélée, il n'existe aucun outil, aucune méthode permettant d'analyser ou de prédire le comportement du système. Les concepteurs doivent remanier le produit jusqu'à ce que celui-ci remplisse les exigences de la norme ou des clients, sans avoir suffisamment de méthodes d'investigation pour comprendre les mécanismes de dégradation durant la décharge. Ceci peut conduire à de nombreuses itérations, ce qui n'est pas forcément la solution la plus économique.

Ce tutorial sera orienté sur le développement de méthodes de modélisation et de caractérisation permettant d'analyser un système et de comprendre les modes

de propagation et de défaillance lorsque survient une décharge électrostatique sur une carte électronique. Etant donné les niveaux de complexité qu'il faut gérer pour un système complet, la méthodologie de modélisation qui sera présentée est basée sur une description comportementale hiérarchique. Cette méthode est destinée à analyser la propagation du courant de décharge dans un système depuis un générateur ESD jusqu'aux phénomènes internes à la puce.

Des techniques de mesure permettant une investigation plus poussée que celles proposées dans les normes seront présentées. Les mesures, obtenues à l'aide de ces techniques permettent de réaliser des corrélations avec les simulations. Grâce à ces méthodes, nous espérons proposer aux concepteurs de système des outils leur permettant d'analyser l'impact d'un phénomène ESD dans un système aussi bien d'un point de vue robustesse que sa susceptibilité.

Compatibilité électromagnétique (CEM) des composants (1h45) – Sonia Ben Dhia Concernant la problématique de l'émission et de la susceptibilité CEM des composants, le contenu de la formation s'articulera comme suit :

- Origine des phénomènes d'émission et de susceptibilité dans les circuits intégrés
- Mécanismes d'interférence et de couplage
- Méthodes de mesure normalisées
- Techniques de modélisation de l'émission et susceptibilité
- Quelques moyens de réduire les effets néfastes liés à la CEM
- Modélisation hiérarchique des systèmes
- Modèles de composant pour les transitoires rapides (interaction avec IBIS
- proposition de norme)
- Mesures des phénomènes transitoires rapides.

• **Outils et moyens pédagogiques** : exposés, retours d'expérience, discussions.

TUTORIAL 5

« Approche Fiabilité basée sur la physique des défaillances »

• **Date** : Vendredi 6 juin 2014

• **Durée** : 3,5 heures

• **Intervenant** : Frank DAVENEL, DGA MI - Bruz
Florian MOLIERE, EADS - IW - Suresnes

• **Public** : ingénieurs, techniciens supérieurs, enseignants chercheurs spécialistes de l'analyse de défaillance des composants électroniques

• **Objectif pédagogique** : Mettre à niveau les connaissances du public sur les dernières techniques et approches de la Fiabilité des composants et ensembles électroniques, basées sur la physique des défaillances

• **Contenu pédagogique** :

La fiabilité des composants et sous-ensembles électroniques a été et restera un des enjeux majeurs dans le développement des systèmes électroniques. La Physique de la Défaillance (ou Physics of Failure, POF) est une approche initiée dans les années 60 par le RADC aux Etats-Unis. Toutefois, c'est au milieu des années 80 avec le CALCE (University of Maryland) que cette technique a réellement été développée pour comprendre et améliorer la fiabilité de l'électronique. Aujourd'hui, la physique de défaillance est à la base des nouvelles méthodes de prévision de la fiabilité, des simulations, de la définition des essais en environnement, ...

En introduction, ce tutorial rappellera les principales définitions de la fiabilité ; la signification et la différence entre fiabilité aléatoire (MTBF) et durée de vie (TTF). Une première partie montrera comment la physique de défaillance a orienté les méthodes de prévisions de fiabilité notamment les plus récentes comme FIDES et quels sont les mécanismes de défaillance visés par ces modèles de prévision

du MTBF. Les essais en environnement qui étaient par le passé réalisés selon des normes strictes sont de plus en plus souvent personnalisés c'est-à-dire définis en considérant le profil de vie visé, les mécanismes de défaillances concernés et la physique de défaillance associée.

La deuxième partie détaillera sur des cas concrets comment la fiabilité des technologies submicroniques (DSM) et la fiabilité des assemblages sont abordées. L'objectif initial de la physique de défaillance a eu tendance à se concentrer sur les mécanismes de dégradation des circuits intégrés. Cela s'explique principalement par l'évolution rapide des technologies de semi-conducteurs qui a nécessité d'être en mesure d'évaluer et de prévoir les performances des nouvelles générations de produits. Les succès rencontrés sur les circuits intégrés, l'évolution vers des technologies de report des composants en surface (à la place du traversant) et les défaillances opérationnelles constatées, ont aussi motivé la communauté de la fiabilité électronique pour étudier la physique de défaillance dans les mécanismes de dégradation au niveau du package et interconnexions. Le tutorial s'attachera donc à décrire deux approches. D'abord, comment utiliser les résultats des essais pratiqués par les fabricants pour prédire une valeur de fiabilité pour des puces DSM : quelle valeur, quelle utilité, par exemple pour la détermination d'un déverminage, et quelles limites, dans la mesure où ces essais ne tiennent souvent pas compte des applications réelles. Ensuite, comment les démarches de simulation peuvent apporter une information de fiabilité au niveau de l'assemblage.

Le tutorial dans son ensemble donnera ainsi une vision de la démarche de la Physique de la Défaillance et des apports qu'elle propose pour estimer la fiabilité de l'électronique en y intégrant correctement le domaine applicatif visé.

• **Outils et moyens pédagogiques** : exposés, retours d'expérience, discussions.