

ATELIER 2014

14^{ème} Atelier

«ANALYSE ET MÉCANISMES DE DÉFAILLANCE
DES COMPOSANTS POUR L'ÉLECTRONIQUE »

Village Club Belambra « Les Tuquets »
Seignosse - Hossegor (Landes)

3 juin au 6 juin 2014

ORGANISE PAR

anadef

Association loi 1901

Analyse de défaillance & technologie
des composants électroniques

www.anadef.org

avec le concours de

 **Adera Service**

MARDI 3 JUIN

Alain WISLEZ
THALES C&S
alain.wislez@thalesgroup.com
Tél : 05 62 88 28 04

10h00 - 12h00
14h00 - 15h30

Animateurs :

Pascal RETAILLEAU
MBDA France - Le Plessis Robinson
pascal.retailleau@mbda-systems.com
Tél : 01 71 54 26 76

Sylvie HEUDE-VERNEYRE
EADS Astrium - Elancourt
sylvie.heude-verneyre@astrium.eads.net
Tél : 01 82 61 25 94

Hélène FREMONT
IMS - Bordeaux
helene.fremont@ims-bordeaux.fr
Tél : 05 40 00 27 65

8h30
9h45 - 10h00

Accueil des participants
Ouverture et présentation de l'atelier 2012

Session n°1 « Assemblages et packaging »

Poussés par les besoins d'intégration, les boîtiers des composants, leurs assemblages et les PCB continuent leur évolution avec une diminution constante des pas et une augmentation de la densité d'interconnexions. Ces évolutions conduisent au développement de nouveaux boîtiers avec des structures de plus en plus complexes, et de nouveaux matériaux. Ainsi, nous devons adapter nos techniques d'analyse et appréhender l'évolution des mécanismes de défaillance. En parallèle, l'évolution des procédés d'assemblages associée aux réglementations RoHS se généralise progressivement. En outre, ces assemblages sont de plus en plus destinés à des environnements sévères y compris dans le domaine civil. Ces phénomènes entraînent souvent des incidents difficiles à anticiper et des nouveaux besoins de caractérisation.

Cette session est dédiée aux analyses de cas de défaillance affectant les assemblages et les PCB, à la description des mécanismes de dégradation correspondant, et aux méthodes de caractérisation associées. Cette année, l'accent sera mis sur l'aide que peuvent apporter la modélisation et la simulation dans la compréhension des mécanismes de défaillance et la résolution de problème.

Elle pourra aussi être l'occasion de présenter les travaux menés par les groupes de travail ANADEF qui adressent les assemblages et les PCB.

MERCREDI 4 JUIN

8h30 - 12h00

Animateurs :

Suzel LAVAGNE
THALES C&S - Toulouse
suzel.lavagne@thalesgroup.com
Tél : 05 61 28 23 09

Bernard PICART
LFoundry-Rousset
bernard.picart@lfoundry.com
Tél : 04 20 10 31 08

Philippe PERDU
CNES - Toulouse
philippe.perdu@cnes.fr
Tél : 05 61 28 20 17

Session n°2 « Analyse de défaillance du circuit intégré jusqu'au système »

L'analyse de défaillance des VLSI doit évoluer en permanence pour suivre l'intégration croissante de ces composants tout en restant adaptée aux besoins spécifiques de ses utilisateurs. Ainsi, les fabricants de circuits intégrés utilisent leurs laboratoires très bien équipés et bénéficient des informations de conception, de fabrication ainsi que des programmes de tests. Ils peuvent intervenir dès la conception du produit (design for analysis) et mesurer n'importe quel nœud du circuit, analyser les performances temporelles ultimes (activité de caractérisation et de débogage). Pour ceux qui fabriquent (wafer fab), les défauts qui apparaissent lors de la fabrication de la puce peuvent être localisés directement à partir du diagnostic électrique, classifiés et intégrés à l'historique de la machine, de la chaîne, de la technologie ou du produit pour faciliter les analyses suivantes. A l'autre bout de la chaîne, l'utilisateur de système et l'intégrateur de composants doivent être capables de gérer une situation de panne et d'analyse de composants avec un accès souvent limité à la notice (datasheet) du produit afin de déterminer si le défaut provient de la fabrication de la puce ou de l'utilisation que l'on en a faite et dans le cas d'un défaut de fabrication si ce défaut est générique. La mission de l'analyse est de fournir les éléments les plus utiles à une prise de décision adéquate.

Dans le processus d'analyse, l'évolution des technologies pose de nombreux problèmes. Par exemple, dans la recherche du défaut, les techniques de localisation classiques optiques se heurtent à des limites de résolution et de détection qui amènent les fabricants d'équipement à perfectionner sans cesse leurs équipements: techniques d'imagerie optique haute résolution (généralisation des SIL «Solid Immersion Lens»), techniques de sondes de mesures en mode laser réfléchi (EOP «Electro-Optic Probing» ou LVP «Laser Voltage Probing», EOLF «Electro Optic Laser Modulation ou LVI «Laser Voltage Imaging»), techniques de stimulation laser statiques et dynamiques (SDL «Soft Defect Localization» ou LADA «Laser Assisted Device Alteration»), techniques d'émission de lumière statiques (caméra InGaAs refroidie à fort rendement quantique et faible bruit) et dynamiques (TRI «Time Resolved Imaging» ou TRE «Time Resolved Emission»), techniques de localisation de points chauds (Thermography, LiT «Lock in Thermography» ou Thermoreflectance). Les mêmes défis se posent aux techniques de mesures au niveau de structures élémentaires (nanoprobing et techniques dérivées) et au niveau des analyses physiques (FIB «Focused Ion Beam», SEM «Scanning Electron Microscope», TEM «Transmission Electron Microscope, AFM «Atomic Force Microscopy» et les techniques dérivées EBIC et EBAC).

Cette session sera l'occasion de présenter : les nouvelles techniques de localisation, les techniques d'analyse physique permettant de traiter les nouveaux matériaux tels que les diélectriques à faible/haute permittivité, grille métallique mais aussi la démarche de l'utilisateur devant les défis techniques et financiers que représente une analyse de défaillance complexe avec peu d'information sur le produit.



Association ANADEF

Depuis plus de 20 ans, dans un cadre assez peu formel, se réunissent les principaux laboratoires et sociétés du domaine de l'électronique. Afin d'améliorer notre fonctionnement et d'offrir de meilleurs services, nous sommes passés en association.

Les métiers de l'analyse de défaillance des composants et sous-ensembles électroniques, ainsi que celui de la qualification des composants dans lesquels nous évoluons, sont en perpétuelle évolution. Néanmoins ces métiers sont limités dans chaque entreprise à un petit groupe de personnes. Les investissements, tant en matériel qu'en formation, sont coûteux, et faire le bon choix est essentiel tant pour réaliser directement que pour sous-traiter. L'isolement ne permet pas de faire face rapidement et à faible coût aux nouveaux problèmes, alors qu'un travail de groupe basé sur l'échange et le partage des connaissances permet de y remédier.

Parmi les principales actions réalisées :

- L'évaluation de techniques nouvelles ou de nouveaux équipements
- La mise au point de méthodes d'essais, des comparaisons inter-labos
- Le partage technique des expériences
- La création d'un réseau Intranet réservé à nos membres et associé au Site Web (www.anadef.org)

L'appartenance à notre association est le meilleur moyen d'enrichir à la fois ses compétences et ses relations professionnelles ce qui offre alors de multiples possibilités : accès formel ou informel à l'expert du domaine, réalisation d'un type d'essai particulier, organisation de coopérations dans le cadre de programmes français ou européens.

MERCREDI 4 JUIN

14h00 - 17h30

Animateurs :

Alain WISLEZ
THALES C&S
alain.wislez@thalesgroup.com
Tél : 05 62 88 28 04

Fabien ALLANIC
ST Microelectronics - Tours
fabien.allanic@st.com
Tél : 02 47 42 81 22

Mathieu MEDINA
SERMA Technologies - Pessac
m.medina@serma.com
Tél : 05 57 26 43 23

Session n°3

« Analyse de défaillance des composants de puissance (Si, SiC, GaN) »

Les composants électroniques de puissance n'ont jamais connu autant d'évolutions technologiques que ces dernières années. Poussés par leurs clients, les fabricants de composants conçoivent des composants plus performants, plus fiables, plus spécifiques, plus économes en énergie, plus respectueux de l'environnement et de la santé de l'utilisateur et surtout moins cher !

Ces évolutions sont possibles grâce à des révolutions technologiques tant au niveau de la puce que du boîtier. Aucune partie du composant n'est laissée de côté :

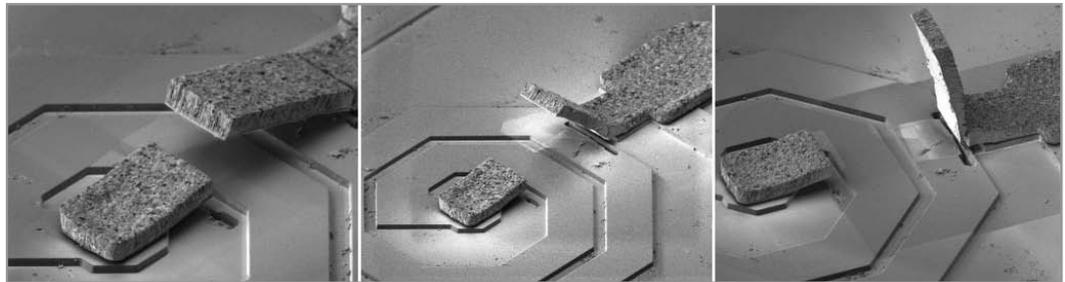
- les substrats de la puce (Si, SiC, GaN, autres ???...),
- les pistes métalliques (Al, AlCu, AlSiCu, Cu, autres ??) et les diélectriques High K et Low K,
- les designs en 3D,
- les assemblages des puces (colles, brasures, frittage de poudre, wire bondings, ribbon bondings, autres),
- les résines de boîtiers, les assemblages complexes en modules, et les PCBs.

Les nouveaux composants de puissance doivent être aussi bien caractérisés et fiabilisés que les anciens.

Les mécanismes de défaillance des composants de puissance sont dorénavant aussi divers que variés. Le simple « burn out » n'est plus une explication suffisante et nécessaire ; ce n'est qu'une résultante d'une suite d'événements au sein du matériau ou de la structure.

L'analyse de défaillance des composants de puissance nécessite la mise en œuvre d'une très large palette de moyens au même titre que pour les technologies les plus agressives ou très intégrées.

Cette session aura donc pour objectif de faire un tour d'horizon de ces nouveaux composants de puissance, des mécanismes de défaillances et des méthodes d'analyse associées.



JEUDI 5 JUIN

14h00 - 17h30

Animateurs :

Jean-Pierre GUERVENO
MBDA France - Le Plessis Robinson
jean-pierre.guerveno@mbda-systems.com
Tel : 01 71 54 15 92

Dominique TALBOURDET
EDF R&D - Moret-sur-Loing
dominique.talbourdet@edf.fr
Tél : 01 60 73 63 91

Marise BAFLEUR
LAAS / CNRS - Toulouse
marise@laas.fr
Tel : 05 61 33 69 66

Session n°4

« Défiabilisation des composants en utilisation »

Les composants électroniques sont de plus en plus fiables mais également de plus en plus fragiles, et donc sensibles aux stress. Le taux de panne qui est proche du zéro défaut à réception augmente brutalement dès qu'ils sont utilisés et intégrés dans une application. Dans de nombreux cas, la cause racine de ces pannes est une mise en œuvre inappropriée : conditionnement inadéquat, mauvaise gestion du MSL, procédés de fabrication et test mal maîtrisés, utilisation client en dehors des limites garanties, stockage de longue durée, etc. Beaucoup de ces stress induits vont également générer des défauts latents qui ne seront pas détectés par les contrôles. Il est donc capital pour l'industriel de savoir identifier et éradiquer ces causes de défiabilisation s'il veut améliorer son rendement et la fiabilité de ses produits.

La difficulté majeure pour l'expert est l'identification des causes racines de la défaillance car il s'agit en général de stress « parasites » donc hors processus nominal et souvent accidentels. D'autres événements peuvent générer un défaut latent non-déTECTABLE lors d'un test fonctionnel mais susceptible d'évoluer au cours de la vie du composant. Outre ces stress parasites, un composant peut aussi se dégrader au cours d'une utilisation particulièrement longue comme c'est le cas dans les domaines militaires, aéronautiques et production d'énergie. L'objectif de cette session est de partager les expériences de chacun en balayant toutes les étapes de vie d'un composant du déstockage magasin à l'utilisation du matériel par le client. Les présentations seront orientées sur plusieurs axes :

- Etudes de cas ayant une signature particulière et si possible la cause bien identifiée,
- Mécanismes de défaillance liés à l'évolution des technologies, et aux nouveaux procédés de fabrication (nouveaux boîtiers, « sans plomb », nouveaux procédés de nettoyage...),
- Exemples montrant la relation entre les stress induits par le procédé industriel ou l'application elle-même (température, ESD, EOS, EMI, rayonnement cosmique, fissures de boîtiers, délaminations, pollutions, etc) et la fiabilité à long terme.

COMITÉ SCIENTIFIQUE

Fabien ALLANIC
Marise BAFLEUR
Sonia BEN DHIA
Fabrice CAIGNET
Jean-Claude CLEMENT
Karine DANILO
Lionel DANTAS de MORAIS
Franck DAVENEL
Emmanuel DOCHE
Sylvain DUDIT
Hélène FREMONT
Matthieu GLEIZES
Françoise GONNET
Catherine GROSJEAN
Jean-Pierre GUERVENO

ST Microelectronics - Tours
LAAS - Toulouse
LAAS - Toulouse
LAAS - Toulouse
THALES R&T - Palaiseau
PRESTO Engineering - Caen
SOFRADIR - Veurey Voroize
DGA - Maîtrise de l'Information - Bruz
THALES C&S - Toulouse
ST Microelectronics - Crolles
IMS - Université de Bordeaux
MBDA France - Le Plessis Robinson
THALES R&T - Palaiseau
ST Microelectronics - Rousset
MBDA France - Le Plessis Robinson

Sylvie HEUDE-VERNEYRE
Catherine JEPHOS
Nathalie LABAT
Suzel LAVAGNE
Véronique LARGEAUD
Clovis LATASTE
Olivier MAIRE
Mathieu MEDINA
Florian MOLIERE
Christian MOREAU
Catherine MUNIER
Philippe PERDU
Julien PERRAUD
Bernard PICART
Cécile PLOUZEAU

EADS Astrium - Elancourt
DGA - Maîtrise de l'Information - Bruz
IMS - Université de Bordeaux
THALES C&S - Toulouse
ALSTOM - Villeurbanne
FIALAB - Toulouse
EADS IW - Suresnes
SERMA-Technologies
EADS IW - Suresnes
DGA - Maîtrise de l'Information - Bruz
EADS IW - Suresnes
CNES - Toulouse
THALES R&T - Palaiseau
LFoundry - Rousset
RENAULT - Guyancourt

Patrick POIRIER
Pascal RETAILLEAU
Dominique TALBOURDET
Kevin SANCHEZ
Alain WISLEZ
ANADEF France
MBDA France - Le Plessis Robinson
EDF R&D - Moret-sur-Loing
CNES - Toulouse
THALES C&S - Toulouse

Coordination technique de l'atelier :

Nathalie LABAT - IMS - Université de Bordeaux
nathalie.labat@ims-bordeaux.fr - Tél : 05 40 00 65 51
Jean-Marie CHOPIN - ANADEF France
jeanmarie.chopin@wanadoo.fr - Tél : 05 61 37 16 63
Jean-Claude HUBERT - ANADEF - France
jcmad.hubert@wanadoo.fr - Tél : 09 71 40 72 74

MARDI 3 JUIN

10h00 - 12h00

Philippe PERDU
CNES - Toulouse
philippe.perdu@cnes.fr
Tel : 05 61 28 20 17

Tutorial 1 « Objets 3D et analyse de défaillance »

Les technologies 3D sont encore marginales mais elles sont en forte croissance et devraient représenter une part importante du marché dans les années à venir. Cela concerne aussi bien les systèmes (SiP ou « Systems in Package » que les circuits intégrés (CI). Les SiP (Systèmes in Package) intègrent des technologies hétérogènes pouvant incorporer des capteurs, de la RF, de la puissance, de l'analogique et du numérique.

Les fabricants de CI utilisent de plus en plus de connexions voire des techniques d'empilage de puces dans le même boîtier pour accroître les capacités de stockage (FLASH) ou la puissance (FPGA). Ces mêmes fabricants développent des techniques de connexions verticales directes et courtes de puce à puce. Ce sont les TSV « Through Silicon Via ».

L'analyse de défaillance de ces objets 3D est assez difficile : nous n'avons plus d'accès optique au cœur du circuit et la dimension verticale a été ajoutée à ce que nous faisons précédemment. Il faut également prendre en compte la complexité d'un SiP pour lequel un non fonctionnement peut venir de la partie capteur !

Après une brève description des objets 3D, ce tutorial décrira les techniques utilisables, du diagnostic à l'analyse physique, dans le cadre d'un processus standard d'analyse. Une étude de cas complète permettra aux auditeurs d'avoir une vision globale du processus d'analyse de défaillance sur des objets 3D.

14h00 - 15h30

Catherine GROSJEAN
ST Microelectronics - Rousset
catherine.grosjean@st.com
Tel: 04 42 68 86 08

Tutorial 2 « Analyse physico-chimique »

Il existe de nombreuses méthodes d'analyses physico-chimiques des matériaux qui se distinguent en fonction de leur sensibilité, de leur résolution spatiale latérale, de leur résolution en profondeur et du type d'information chimique (élémentaire ou moléculaire) qu'elles adressent.

L'objet de ce tutorial est de présenter une vue générale des méthodes actuellement les plus couramment utilisées en support à l'analyse de défaillance en électronique, en insistant sur la complémentarité de ces méthodes au niveau des informations qu'elles peuvent apporter, sur leurs avantages et inconvénients et sur les contraintes qu'elles supposent pour être utilisées à bon escient en terme de conditionnement, de préparation et de géométrie d'échantillon.

Les techniques seront abordées à travers des exemples concrets.

MERCREDI 4 JUIN

14h00 - 17h30

Véronique LARGEAUD
ALSTOM - Villeurbanne
veronique.largeaud@transport.alstom.com
Tel : 04 72 81 58 87

Tutorial 3 « PCB, Assemblages »

Pour ce nouveau tutorial sur les circuits imprimés, nous vous proposons une approche un peu différente qui répondra aux multiples questions du précédent tutorial. Nous avons tenté de vous expliquer les mécanismes de quelques défaillances. Nous avons vu que ces défaillances pouvaient être liées au design de la carte (dimensionnement électrique, thermique, non-respect de règles DFM (Design For Manufacturing), dossier client), aux aléas de fabrication (PCB et EMS).

Cette fois, nous aborderons chacun des aspects précités au travers des principales étapes de fabrication d'un circuit imprimé. Nous développerons, du fait des procédés de fabrication, les impacts du design, du non-respect de certaines règles de savoir-faire (règles DFM) sur la dé-fiaiblissement d'une carte, le tout combiné aux aléas intrinsèques de la fabrication d'un circuit imprimé ou de son assemblage.

Nous vous présenterons pour ces principales étapes quelques défauts pouvant conduire à des défaillances pas seulement en sortie de ligne de fabrication mais aussi lors de l'exploitation.

Catherine MUNIER/Olivier MAIRE
EADS IW - Suresnes
catherine.munier@eads.net
Tel : 01 46 97 35 03

JEUDI 5 JUIN

8h30 - 12h00

Fabrice CAIGNET
LAAS / CNRS - Toulouse
fabrice.caignet@laas.fr
Tel : 05 61 33 78 40

Tutorial 4 « ESD/EMC »

Les ESD au niveau système - Les produits électroniques sont soumis à des décharges électrostatiques pouvant induire des erreurs de fonctionnement et/ou leur destruction. On estime, entre 20 et 40%, les retours clients liés à des phénomènes transitoires rapides comme les EOS (Electrical Over-Stress), dont font partie les ESD.

Ce tutorial propose des méthodes de modélisation et de caractérisation permettant d'analyser un système et de comprendre les modes de propagation et de défaillance lorsque survient une décharge électrostatique sur une carte électronique. Des techniques de mesure permettant une investigation plus poussée que celles proposées dans les normes seront présentées. Ces mesures permettent de réaliser des corrélations avec les simulations. Ces méthodes proposent aux concepteurs, des outils d'analyse de l'impact d'un phénomène ESD dans un système, aussi bien d'un point de vue robustesse que susceptibilité.

Compatibilité électromagnétique (CEM) des composants - Le contenu de la formation s'articulera comme suit :

- Origine des phénomènes d'émission et de susceptibilité dans les circuits intégrés,
- Mécanismes d'interférence et de couplage et Méthodes de mesure normalisées,
- Techniques de modélisation de l'émission et de la susceptibilité,
- Quelques moyens de réduire les effets néfastes liés à la CEM,
- Modélisation hiérarchique des systèmes,
- Modèles de composant pour les transitoires rapides et mesures de ces phénomènes transitoires.

Sonia BEN DHIA
LAAS / CNRS - Toulouse
sonia.bendhia@laas.fr
Tel : 05 61 33 62 31

VENDREDI 6 JUIN

8h30 - 12h00

Franck DAVENEL
DGA - Maîtrise de l'information
franck.davenel@dga.defense.gouv.fr
Tel : 02 99 42 65 05

Tutorial 5 « Approche fiabilité basée sur la physique des défaillances »

La fiabilité des composants et sous-ensembles électroniques reste un des enjeux majeurs dans le développement des systèmes électroniques. La Physique de la Défaillance (ou Physics of Failure, POF) est une approche initiée dans les années 60 mais ce n'est qu'au milieu des années 80 qu'elle a réellement été développée pour comprendre et améliorer la fiabilité de l'électronique.

En introduction, ce tutorial rappellera les principales définitions de la fiabilité. Une première partie montrera comment la physique de défaillance a orienté les méthodes de prévision de fiabilité notamment les plus récentes comme FIDES et quels sont les mécanismes de défaillance visés par ces modèles de prévision du MTBF. La deuxième partie détaillera sur des cas concrets comment la fiabilité des technologies submicroniques (DSM) et la fiabilité des assemblages sont abordées. Le tutorial dans son ensemble donnera une vision de la démarche de la Physique de la Défaillance et des apports qu'elle propose pour estimer la fiabilité de l'électronique en y intégrant correctement le domaine applicatif visé.

Florian MOLIERE
EADS IW - Suresnes
florian.molier@eads.net
Tel : 01 46 97 30 22

PROGRAMME DES MICRO-ATELIERS

Ces « micro-ateliers » ont pour objectif de favoriser les échanges informels entre les analystes de défaillance. Chaque « micro-atelier » comprendra une description rapide du thème suivi d'études de cas montrant des exemples d'utilisation. L'étude de ces cas permettra de décrire des problèmes résolus ou non et de présenter la méthode employée pour traquer un défaut. A l'issue de ces présentations, un débat entre les participants pourra donner lieu à des discussions qui favoriseront l'échange et le partage d'expériences

Coordination :
Bernard PICART
L'Foundry - Rousset
bernard.picart@lfoundry.com
Tél : 04 20 10 31 08

Patrick POIRIER
ANADEF - France
patrick.poirier@laposte.net
Tél : 06 13 40 35 24

MARDI 3 JUIN

16h00 - 18h00 Micro-atelier n°1 « Analyse de défaillance des composants passifs »



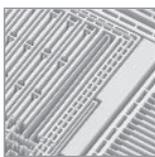
Le nombre de composants passifs est en constante augmentation sur les cartes électroniques et ces composants sont à l'origine de nombreuses pannes. Vous vous entendez souvent dire que le défaut que vous avez observé est un artefact dû à la préparation de votre échantillon (polissage, ouverture ...) ? Vous êtes passé à côté de votre défaut et c'était votre seule et unique pièce défective ? Utilisez des méthodes non destructives : vous gagnerez du temps et localiserez la zone de défaut avec succès dans bien des cas.

- RX3D : elle fait des merveilles avec les défauts dans les bobinages des transformateurs, inductances et autres résistances bobinées, mais aussi sur des problèmes de connexions ...
- Tomographie acoustique : peu de fissures ou de délaminations lui échappent.
- Caméra thermique : elle est à l'affût des points chauds dans vos condensateurs.
- Mesure piézoélectrique : le chant des condensateurs, ou comment détecter des défauts en faisant vibrer les condensateurs.

Nous aborderons également lors de cette micro-session des sujets tels que la problématique du nettoyage de certains composants passifs (dégradation des collages, des condensateurs films...), la tenue en humidité des condensateurs tantale moulés ou encore la caractérisation des composants passifs en haute température.

Animateurs :
Françoise GONNET
THALES R&T
francoise.gonnet@thalesgroup.com
Tél : 01 69 41 56 68
Cécile PLOUZEAU
RENAULT - Guyancourt
cecile.plouzeau@renault.com
Tél : 01 76 85 09 73
Mathieu GLEIZES
MBDA France - Le Plessis Robinson
mathieu.gleizes@mbda-systems.com
Tél : 01 71 54 36 20

16h00 - 18h00 Micro-atelier n°2 « Caractérisation électrique, physique et localisation de défauts des composants actifs : opto, RF, MEMs »



Que ce soit pour les marchés grands publics (téléphonie, PC, console, ...) ou des applications plus pointues (aéronautiques, militaires, spatiales, ...), les appareils électroniques intègrent un nombre croissant de nouvelles fonctions, sur des domaines variés : interactivité, ergonomie, sécurité, communication, localisation, autonomie énergétique, Certaines de ces fonctions ne sont possibles qu'en utilisant des composants actifs qui sortent du domaine des VLSI et du CMOS « classique » : capteurs ou actionneurs MEMS, systèmes RFID et communication sans fil, dispositifs à base d'électronique organique, imageur matriciel avec ou sans optique intégrée, cellules solaires, Ces composants peuvent être fabriqués à partir de substrats standards (IV), complexes / hétérogènes (III-V, II-VI) ou hybrides.

Ces objets variés soulèvent de nouvelles questions concernant :

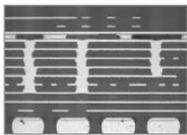
- leur caractérisation électrique : quelles caractéristiques analysées ? comment mesurer ?...
- la localisation fiable et précise des défauts : comment activer des défauts observés sur des fonctions complexes ? les matériaux sont-ils compatibles avec les techniques actuelles ?...
- l'analyse physico-chimique : quels paramètres (dopage, dislocations, ...) ou propriétés (mécaniques, thermiques, piezo, ...) peuvent expliquer le défaut ? Quels outils pour obtenir ces informations ?...

L'objectif de ce micro atelier est de partager des études de cas sur des produits variés, afin d'adresser un éventail de problématiques et de stratégies d'analyses le plus large possible. L'accent sera également mis sur les techniques et les moyens mis en œuvre de manière à identifier les outils « clefs » (équipements d'analyses standard versus équipements « maison »).

Animateurs :
Lionel DANTAS de MORAIS
SOFRADIR - Veurey Voroize
lionel.dantasdemorais@sofradir.com
Tél : 04 76 28 89 38
Christian MOREAU
DGA - Maîtrise de l'information - Bruz
christian.moreau@dga.defense.gouv.fr
Tél : 02 99 42 93 98
Clovis LATASTE
FIALAB - Toulouse
clovis.lataste@fialab.eu
Tél : 06 69 46 31 01

MERCREDI 4 JUIN

8h30 - 12h00 Micro-atelier n°3 « PCB, assemblages et packaging : problématiques d'analyses »



Si vous ne trouvez personne avec qui parler SiP, si vos collègues ne comprennent pas quand vous leur parlez de SAC, si vous avez des questions sur les techniques de préparation d'un module avec fils cuivre alors ce micro-atelier est fait pour vous.

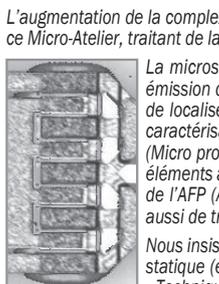
Faisant écho à la session 1 et au tutorial 3, ce micro-atelier vous permettra d'échanger sur les différentes problématiques d'analyses que vous rencontrez sur les cartes imprimées, l'assemblage ou le packaging. L'accent sera mis cette année sur les PCBs haute densité, les Packages intégrés (stackés, enfouis, TSV...), la microstructure des joints brasés sans plomb, avec à chaque fois des discussions sur les questions suivantes : quelles problématiques rencontrez-vous ?, quelles sont les méthodes de préparation des échantillons ?, quelles sont les limites des techniques usuelles ?, peuvent-elles être adaptées et quelles nouvelles techniques peut-on utiliser ? Les sujets seront introduits par de courtes présentations, permettant de positionner la problématique ou de présenter un cas d'étude, et l'accent sera mis sur les échanges techniques.

limites des techniques usuelles ?, peuvent-elles être adaptées et quelles nouvelles techniques peut-on utiliser ? Les sujets seront introduits par de courtes présentations, permettant de positionner la problématique ou de présenter un cas d'étude, et l'accent sera mis sur les échanges techniques.

Animateurs :
Julien PERRAUD
THALES R&T - Palaiseau
julien.perraud@thalesgroup.com
Tél : 01 69 41 56 70
Catherine JEPHOS
DGA - Maîtrise de l'information - Bruz
catherine.jephos@dga.defense.gouv.fr
Tél : 02 99 42 91 85
Véronique LARGAUD
ALSTOM - Villeurbanne
veronique.largaud@transport.alstom.com
Tél : 04 72 81 58 87
Olivier MAIRE
EADS IW - Suresnes
olivier.maire@eads.net
Tél : 01 46 97 37 61

JEUDI 5 JUIN

8h30 - 12h00 Micro-atelier n°4 « Localisation et caractérisation électrique de défauts dans les VLSI »



L'augmentation de la complexité des circuits intégrés implique une difficulté croissante pour l'analyse de défaillance de ces circuits. Les méthodes présentées dans ce Micro-Atelier, traitant de la caractérisation électrique des défauts et de leur localisation, seront abordées au travers d'étude de cas.

La microscopie optique (en lumière visible et infrarouge) nous donne des outils puissants pour localiser les défauts comme la microscopie à émission de lumière (EMMI) et la thermographie infrarouge (LIT). En outre, l'utilisation de lasers infrarouges continus, modulés ou pulsés permet de localiser des défauts (OBIRCH / TIVA, OBIC / LIVA), mais aussi de caractériser la fonctionnalité des produits (DLS / LADA). Enfin pour une caractérisation précise du fonctionnement dynamique des circuits intégrés, nous utilisons des techniques de probing avec des pointes métalliques (Micro probing), des captures ponctuelles de photons (TRE / PICA), des faisceaux lasers réfléchis qui sont modulés par le signal présent dans les éléments à mesurer (LVI / LVP). Pour le probing interne des technologies sub-microniques seront également traités les nouveaux développements de l'AFP (Atomic Force Probing), ainsi que l'utilisation de micro-pointes motorisées dans un microscope électronique (SEM probing) permettant aussi de travailler sur les techniques EBIC / EBAC.

Nous insisterons particulièrement sur l'émulation électrique des circuits qui pourra être statique (avec alimentation ou traceur de courbe), pseudo-statique (en s'arrêtant sur un vecteur de test) et dynamique (en bouclant sur les vecteurs de test choisis). Le groupe de travail ANADEF sur les « Techniques Optiques Dynamiques / LVI » sera sollicité afin de présenter les avancées sur le sujet.

Animateurs :
Bernard PICART
L'Foundry - Rousset
bernard.picart@lfoundry.com
Tél : 04 20 10 31 08
Sylvain DUDIT
ST Microelectronics - Crolles
sylvain.dudit@st.com
Tél : 04 38 92 24 66
Kevin SANCHEZ
CNES - Toulouse
kevin.sanchez@cnes.fr
Tél : 05 61 27 31 78
Emmanuel DOCHE
THALES C&S - Toulouse
emmanuel.doché@thalesgroup.com
Tél : 05 61 27 30 94

VENREDI 6 JUIN

8h30 - 12h00 Micro-atelier n°5 « Préparation d'échantillons »



Les échantillons que nous devons analyser sont dans des technologies d'assemblage de plus en plus complexes : SIP, assemblages 3D, TSV, flip chip, COB ... Au silicium s'ajoutent les technologies GaAs, GaN, SiC, SiGe et bien d'autres pour générer des objets de plus en plus variés. Comment préparer tous ces échantillons pour pouvoir localiser les défauts ? (accès face avant, accès face arrière, techniques de repackaging...). L'apparition de nouveaux matériaux (fils en cuivre, low K, polyimide, BCB...) induisent des difficultés supplémentaires. Quelles techniques sont mises en œuvre et quels sont vos retours d'expérience ? Une fois le défaut localisé, nous devons procéder à l'analyse physique et là encore, la préparation d'échantillon devient un véritable défi ! Comment adapter les techniques de delayering, microsection, révélation chimique... aux nouvelles technologies ? Quels outils ou nouvelles méthodes doit-on mettre en œuvre ?

Ce micro-atelier sera un lieu d'échanges et de débats sur les techniques et outils de préparation actuels, les difficultés rencontrées, les astuces et tout ce qui peut intéresser ceux et celles qui sont confrontés aux problématiques de préparation d'échantillon.

Animateurs :
Karine DANILO
PRESTO Engineering - Caen
karine.danilo@prest-eng.com
Tél : 02 31 06 27 06
Suzel LAVAGNE
Thales C&S - Toulouse
suzel.lavagne@thalesgroup.com
Tél : 05 61 28 23 09
Philippe PERDU
CNES - Toulouse
philippe.perdu@cnes.fr
Tél : 05 61 28 20 17

INSCRIPTIONS : INFORMATIONS GÉNÉRALES

INFORMATIONS PRATIQUES

- **Site et coordonnées :** Au bord de l'océan, séparé uniquement par une dune, sur la côte des Landes, dans une région très "nature" du Pays Basque, formule résidentielle dans le Club Belambra « Les Tuquets » de Seignosse - Hossegor en logements de décoration contemporaine et fonctionnelle, accès WiFi.
- **Transport/Accès :** **En avion**, aéroport de Biarritz à 40 km, aéroport de Bordeaux Mérignac à 170 km.
En train, gare de Dax à 38 km.
En voiture, A63, sortie 10, suivre N10, puis D810 (Coord. GPS lat. : 43.70466 GPS lon. : - 1.432771)
- **Accueil sur site :** Le secrétariat ANADEF sera ouvert le lundi 2 juin 2014 de 18h00 à 21h00 le mardi 3 juin 2014 à partir de 8h00 et aux heures d'ouverture de l'Atelier.

CONTACT

- **Votre contact pour toute information concernant votre inscription :** **Véronique LHEUREUX**
ADERA Service - 162, avenue Albert Schweitzer- CS 60040 - 33608 Pessac Cedex
regISTRATION@adera.fr - Tel : 05 56 15 80 03 - Fax : 05 56 15 11 60

MODALITÉS DE DROITS D'INSCRIPTION

- L'inscription à l'Atelier s'effectue en ligne via le site www.anadef.fr. Elle est nominative. Aucune inscription partagée ne sera acceptée.
- Le montant de la participation inclut par jour :
 - Hébergement (1 nuit) / restauration (petit-déjeuner, pauses, déjeuner et dîner)
 - Participation à la conférence
 - Documentation, CD ROM, actes et liste des participants
- Un tarif préférentiel (indiqué ci-dessous) est accordé aux membres ANADEF à jour de leur cotisation 2014.
- Un tarif dégressif sera appliqué pour l'inscription de 2 participants appartenant à la même entreprise et travaillant sur le même site.

L'ATELIER 2014 est éligible au titre de la formation.

La formation est conventionnée par ADERA Service - organisme de formation enregistré sous le n° de déclaration d'activité formation 72 33 03753 33. Toute demande de prise en charge par l'Entreprise du stagiaire, des frais d'inscription par un Organisme Paritaire Collecteur Agréé devra être précisée lors de son inscription. Une convention de formation sera alors établie par ADERA Service. L'inscription à la formation inclut la participation aux sessions plénières des 4 journées de l'Atelier et n'est pas dissociable.

	Membre ANADEF	Non membre - ANADEF	
1 ^{ère} inscription	1506,96 € TTC	1883,70 € TTC	Formule tout compris : forfait hébergement, participation à la conférence, documentation.
2 ^{ème} inscription	1356,26 € TTC	1733,00 € TTC	

- **Date limite d'inscription :** Les bulletins d'inscription devront parvenir à ADERA Service **au plus tard le 9 mai 2014.**

Passée cette date, la réservation hôtelière n'est pas garantie sur le site de l'Atelier.

- Une confirmation d'inscription sera adressée à chaque participant.
- Assurez-vous qu'apparaît sur votre moyen de paiement la mention "Inscription à l'Atelier 2014" ainsi que le nom du participant et celui de sa société ou organisme.
- L'accès à l'Atelier sera réservé aux participants ayant acquitté leurs droits d'inscription.

Annulation/Remboursement : Toute annulation doit être faite par écrit ou courrier électronique. Si l'annulation parvient à ADERA Service avant le 10 mai 2014, 120 € HT de frais de dossier seront retenus. Aucun remboursement ne sera effectué à partir du 10 mai 2014.

OBJECTIFS DE L'ATELIER

- 1 **Faire se rencontrer et dialoguer de façon informelle tous ceux (fabricants de composants, équipementiers, laboratoires d'analyse & universitaires) qui ont en commun le souci de comprendre les mécanismes de défaillance afin de mieux maîtriser les choix de composants en fonction des conditions d'applications (profil de mission) et des objectifs de fiabilité.**
L'atelier est le lieu privilégié pour discuter des problèmes concrets qui se posent aux utilisateurs de composants. Il permet d'aborder les cas résolus ou non, de comparer les approches ou les méthodologies et de rapprocher les utilisateurs des fabricants.
- 2 **Répondre aux attentes des participants à savoir :**
 - Elargissement du domaine d'activité (aller au-delà des techniques d'analyse)
 - Prise en compte des exigences du marché et des contraintes économiques
 - Partage d'expériences
 - Rationalisation des démarches/approches
 - Développement des contacts informels.
- 3 **Promouvoir un réseau de spécialistes via l'association ANADEF.**
- 4 **Le programme de l'Atelier propose une formation qui fournit des bases de connaissances pour une parfaite compréhension des exposés théoriques présentés au cours des sessions.**
La formation se répartit sur cinq modules appelés Tutorials.

CARACTÉRISTIQUES DU 14^{ème} ATELIER

Pour cette 14^{ème} édition de l'ATELIER ANADEF, le comité scientifique maintient la formule en place depuis 2004 et a préparé un programme renouvelé alliant sessions plénières, destinées à faire un état de l'art des problématiques rencontrées dans nos métiers, et micro-ateliers qui vous permettront d'approfondir ces sujets. Pour cette édition 2014, nous vous proposons certaines thématiques récurrentes et également de nouveaux thèmes tout en privilégiant les échanges. Les tutoriaux, plébiscités par les participants lors des précédentes éditions, sont également reconduits avec des thèmes nouveaux. Nous avons œuvré avec l'ADERA, pour rendre ces tutoriaux à nouveau éligibles au titre de la formation.

Le site de Seignosse permet une capacité d'accueil plus importante tout en gardant ce qui fait le succès des dernières éditions : hébergement et conférences dans un site unique et toujours agréable.

Toute l'équipe organisatrice souhaite une nouvelle fois réunir le plus grand nombre d'acteurs impliqués dans les mécanismes de défaillance des composants électroniques, des systèmes et des assemblages, qu'ils soient issus de laboratoires industriels, publics, académiques ou fournisseurs d'équipements. Nous souhaitons vous voir très nombreux pour que cet ATELIER 2014 soit une nouvelle fois un moment fort d'échanges, de partage et de convivialité.

Le Président d'ANADEF
Alain WISLEZ