

PROGRAMME DES SESSIONS PLENIERES

Mardi 4 juin

8h30 - 9h00

Ouverture et présentation de l'Atelier 2024

Suzel LAVAGNE
Président Association ANADEF

8h30 - 10h00

Keynote

10h15-12h15

Session n°1

Animateurs :

David TREMOUILLES
LAAS-CNRS
david.tremouilles@laas.fr
Tel : 05 61 33 68 87

Julien LE HELLOCO
MBDA
julien.le-helloco@mbda-systems.com
Tél : 01 71 54 32 98

« Analyse de défaillance des composants de puissance Si, SiC, GaN »

Les composants de puissance sont plus que jamais incontournables et leurs applications multiples : transport, énergie, éclairage, spatial, militaire... Ils n'ont jamais connu autant d'évolutions technologiques que ces dernières années. Poussés par leurs clients, les fabricants de composants conçoivent des composants plus performants, plus fiables, plus spécifiques, plus économes en énergie, grâce à des révolutions technologiques tant au niveau de la puce que du boîtier. Aucune partie du composant n'est laissée de côté : les substrats de la puce (Si, SiC, GaN, GaO, Diamant...), les pistes métalliques (Al, AlCu, AlSiCu, Cu...) et les diélectriques High K et Low K, les designs en 3D, les assemblages des puces (colles, brasures, frittages, wire bondings...), les assemblages complexes en modules, et les PCBs.

Les nouveaux composants de puissance doivent être aussi bien caractérisés et fiabilisés que les anciens. Les mécanismes de défaillance des composants de puissance sont dorénavant aussi divers que variés. L'analyse de défaillance des composants de puissance nécessite la mise en œuvre d'une très large palette de moyens au même titre que pour les technologies les plus agressives ou très intégrées, ainsi que la mise au point des techniques préalablement utilisées.

Cette session aura donc pour objectif de faire un tour d'horizon de ces composants de puissance, de leurs mécanismes de défaillances et des méthodes d'analyse associées.

14h00-16h00

Session n°2

Animateurs :

Suzel LAVAGNE
THALES Six – Toulouse
suzel.lavagne@thalesgroup.com
Tel : 05 61 28 23 43

Guillaume BASCOUL
CNES - Toulouse
Guillaume.bascoul@cnes.fr
Tel : 05 61 28 14 50

Vincent RENAUDIN
STMICROELECTRONICS
Grenoble
vincent.renaudin@st.com
Tel : 06 80 55 80 14

« Analyse de défaillance des circuits intégrés VLSI »

Quoi de neuf dans l'analyse de défaillance des VLSI ?

Côté composant, les nœuds technologiques continuent de décroître selon la loi de Moore, et les limites des techniques optiques usuelles (OBIRCh, EMMI, LockIn thermographie...) nous obligent à innover dans l'utilisation de nouvelles longueurs d'ondes laser, de nouveaux détecteurs photosensibles, mais aussi d'inclure de plus en plus de techniques d'imagerie électroniques (EBIC-EBAC-EBIRCh).

Côté boîtier, la forte intégration des systèmes 2.5D/3D rend de plus en plus complexe la tâche dévolue aux analystes. L'accès aux transistors par la face arrière est ainsi rendu de plus en plus ardu voire impossible sans dégrader la fonctionnalité du composant. Les défis liés à la préparation d'échantillons, au repackaging ou encore à la possibilité de modifier le circuit par FIB, sont plus que jamais d'actualité.

En amont, le diagnostic par test électrique est une étape clef pour pouvoir pré-localiser et donner des hypothèses de défaillances qui seront indispensables pour établir correctement un plan d'analyse physique adéquat.

Cette session a pour but de partager sur les dernières avancées technologiques en termes de localisation, de préparation d'échantillon, mais aussi de partager nos problématiques communes sur les décisions que nous avons à prendre chaque jour sur les différentes étapes d'une analyse.

Il est également proposé cette année une ouverture sur 2 nouvelles thématiques :

- La sécurité des données contenues dans les composants n'est plus une problématique émergente mais l'utilisation de composant COTS en applications sécurisées est croissante et pose des questions.
- La robustesse des composants vis-à-vis des stress extérieurs lors de leurs mises en œuvre dans des applications pour lesquelles ils ne sont pas conçus est un sujet majeur de nombreux concepteurs. Quelles approches peuvent être mises en place pour pallier à ces contraintes ?

Mercredi 5 juin

8h30-12h00

Session n°3

Animateurs :

Catherine JEPHOS
DGA Maîtrise de l'information
catherine.jepfos@intradef.gouv.fr
Tel : 02 99 42 91 85

Djemel LELLOUCHI
ELEMCA - Toulouse
djemel.lellouchi@elemca.com
Tel : 05 61 27 32 40

Pierre ROUMANILLE
CNES – Toulouse
Pierre.Roumanille@cnes.fr
Tel : 05 61 28 20 05

« Packaging , PCB, et Assemblages »

Les évolutions des technologies d'interconnexion et de packaging électronique sont toujours tirées par l'intégration et la densification. La diminution des pas, l'évolution des assemblages avec l'enfouissement des composants dans les PCB ou dans de nouveaux packages induisent des défis en matière de fiabilité et de mise en œuvre de moyens d'analyse. Les problématiques liées au packaging avancé (multiplication des niveaux d'interconnexion, gachissement des substrats fins, qualité et fiabilité des assemblages, dissipation de chaleur) fournissent autant de nouveaux objets d'étude.

Cette session s'intéressera à ces nouvelles évolutions technologiques ; les mécanismes de défaillance, nouveaux ou non, liés à ces technologies seront au cœur des présentations et des échanges. Nous nous intéresserons comme d'habitude à la thématique des matériaux et procédés d'assemblage de cartes (compatibilité, durabilité, mécanismes de défaillance). Le volet PCB de la session pourra s'étendre aux études liées à la protection et à la connectique.

Dans la continuité du précédent atelier, les progrès et développements en fabrication additive et plastronique seront à l'ordre du jour. La présentation d'études de cas, résolus ou non, de méthodologies d'analyse de défaillance, de techniques d'analyse et de caractérisation sera également au rendez-vous. La session permettra également de présenter les travaux menés par les différents groupes de travail ANADEF : PCB, assemblage sans plomb, connectique ou vernis.

PROGRAMME DES SESSIONS PLENIERES

Mercredi 5 juin

14h00-16h00

Session n°4

Animateurs :

Françoise GONNET

Thales Research & Technology
- Palaiseau

francoise.gonnet@thaligroup.com

Tél : +33 (0) 1 69 41 56 68

Matthieu GLEIZES

MBDA – Le Plessis Robinson
matthieu.gleizes@mbda-systems.com

Tél : +33 (0) 1 71 54 36 20

Jérémie DHENNIN

ELEMCA – Ramonville St Agne
jeremie.dhennin@elemca.com

Tel : +33 (0) 5 61 28 25 55

« Analyse de défaillance des composants passifs »

Sans passifs, rien ne serait actif ! En complément du passionnant tutoriel sur les composants passifs, nous vous proposons une session dédiée à plusieurs cas d'analyses de défaillances.

Les cartes électroniques regorgent de composants passifs qui sont à l'origine de nombreuses défaillances. Les fabricants de composants passifs font évoluer les technologies afin de rendre les composants plus robustes et de réduire les risques de défaillances ou minimiser les dégradations collatérales en cas de défaillance (PCB ou autres composants qui brûlent par exemple). Pour autant, nous sommes tous confrontés à des cas de défaillances de composants passifs.

Vous aussi, vous rencontrez probablement des difficultés pour déterminer les causes racines de ces défaillances. L'objectif de cette session est de partager les expériences de chacun sur les différentes familles et les différentes technologies de composants passifs : condensateurs, résistances, inductances, super-condensateurs, transformateurs ...

Les présentations seront orientées sur différents axes :

- Etudes de cas de défaillances résolues ou non avec une approche concrète en terme d'analyse et de recherche des mécanismes de défaillance,
- Tests de vieillissement sur des composants passifs, à l'issue desquels des analyses ont été réalisées

En fin de session ou lors des Open questions nous en profiterons pour vous présenter le système Expert, site internet sur les composants passifs accessible à la communauté **Anadef**.

Jeudi 6 juin

10h30-12h00

Session n°5

Animateurs :

Gérald GUIBAUD

Thales C&S – Toulouse
gerald.guibaud@thaligroup.com
Tél : 05 61 28 16 95

Yannick DESHAYES

IMS Bordeaux
yannick.deshayes@ims-bordeaux.fr
Tél : 05 40 00 27 68

« Analyse de défaillance des composants opto-électroniques et hyperfréquences »

L'année 2015 avait été déclarée « Année internationale de la lumière et des techniques utilisant la lumière » par l'ONU, avec un discours simple et marquant : « la photonique va révolutionner le monde ! » et une promesse : « Le 21^{ème} siècle sera le siècle de la photonique comme le 20^{ème} siècle a été le siècle de la microélectronique, avec des prévisions de croissance annuelle de 6,5% par an à l'horizon 2020 ».

Effectivement, au quotidien, les applications utilisant des composants optoélectroniques et optiques nous sont désormais devenues indispensables. De nos smartphones, télévisions, consoles de jeux à notre voiture, à internet haut débit, LiFi, éclairage public intelligent, énergie verte, domotique, réalité augmentée, thérapies par la lumière... on ne compte plus les systèmes intégrant des caméras, capteurs optiques, photodiodes, cellules solaires, LEDs et fibres... La photonique est à l'aube d'une grande révolution, comme l'a été l'électronique avec le développement des circuits intégrés. Les circuits intégrés photoniques (PIC) sont désormais une réalité, et commencent même à être industrialisés dans des transceivers, multiplexeurs ou encore modulateurs haute fréquence. Ils réunissent la photonique, la RF, les hyperfréquences et le monde digital. Dans ces systèmes hybrides complexes tant au niveau des puces que de l'assemblage, l'exploitation de rayonnements photoniques, de signaux digitaux et d'ondes EM induit des modes de défaillances très différents de ceux observés en microélectronique et nécessite la mise en œuvre de méthodologies et techniques d'analyses spécifiques. L'objectif de cette session est donc de partager des cas de défaillances sur composants intégrant de l'optoélectronique mais aussi de la RF et des hyperfréquences, et d'en détailler les processus d'analyses et les techniques de tests électro-optiques pour garantir l'identification de défauts associés et aboutir à la résolution du problème initial.

14h00-16h00

Session n°6

Animateurs :

Matthieu GLEIZES

MBDA France – Le Plessis Robinson
matthieu.gleizes@mbda-systems.com
Tél : 01 71 54 36 20

Jérôme TOULZE

AIRBUS Operations – Toulouse
jerome.toulze@airbus.com
Tél : 06 86 79 36 21

Karine MANSOULIE

EDF Lab – Moret Sur Loing
karine.mansoulie@edf.fr
Tél : 06 13 75 07 55

« Défiabilisation des composants dans le process industriel ou en utilisation »

Les composants électroniques sont de plus en plus fiables mais de plus en plus fragiles donc sensibles aux stress. Le taux de panne, proche du zéro défaut à réception augmente brutalement dès qu'ils sont utilisés et intégrés dans une application. Souvent, la cause racine de ces pannes est une mise en œuvre inappropriée : conditionnement inadapté, mauvaise gestion du MSL, procédés de fabrication et test mal maîtrisés, utilisation client en dehors des limites garanties, stockage de longue durée mal maîtrisé, etc. Beaucoup de ces stress induits génèrent des défauts latents qui ne sont pas détectés par les contrôles et il est capital pour l'industriel de savoir identifier et éradiquer ces causes de défiabilisation pour améliorer son rendement et la fiabilité de ses produits. La difficulté majeure pour l'expert est l'identification des causes racines de la défaillance car il s'agit en général de stress « parasites » donc hors processus nominal, souvent accidentels, parfois dus à des événements générant des défauts latents non-détectable par un test fonctionnel, mais susceptible d'évoluer au cours de la vie du composant. En outre, un composant peut aussi se dégrader au cours d'une utilisation particulièrement longue comme c'est le cas dans les domaines militaires, aéronautiques et de production d'énergie.

L'objectif de cette session est de partager les expériences de chacun en balayant toutes les étapes de vie d'un composant du déstockage magasin à l'utilisation du matériel par le client autour des problématiques suivantes :

- Études de cas ayant une signature particulière et si possible la cause bien identifiée,
- Mécanismes de défaillance liés à l'évolution des technologies, et aux procédés de fabrication (nouveaux boîtiers, assemblage « sans plomb », nouveaux procédés de nettoyage, vernissage des cartes...).
- Exemples montrant la relation entre les stress induits par le procédé industriel ou l'application elle-même (température, ESD, EOS, EMI, rayonnement cosmique, Rayons X, contraintes électromagnétiques, fissures de boîtiers, délaminations, pollutions, etc.) et la fiabilité à long terme.
- Sensibilité de la conception système aux perturbations transitoires