

## **Mardi 4 juin**

### **Session N°1 “ Analyse de défaillance des composants de puissance (Si, SiC, GaN) ”**

#### **10h15-10h20 Introduction de la session**

David TRÉMOUILLES, LAAS-CNRS, david.tremouilles@laas.fr  
Julien LE HELLOCO, MBDA, Julien.le-helloco@mbda-systems.com

#### **10h20-10h40 Du discret aux modules de composants de puissance, une approche d'analyse à adapter**

Jean TUPIN, STMicroelectronics Tours, jean.tupin@st.com

Au cours des dernières années, l'importance des composants de puissance a connu une croissance exponentielle, particulièrement dans les industries automobiles et aéronautiques. Cette tendance a engendré une multitude de défis, parmi lesquels figurent l'impératif de réduire le poids et l'encombrement des composants, ainsi que leurs coûts de production, tout en répondant à des exigences de performances électriques toujours plus poussées.

Une des solutions trouvées repose en l'intégration de plusieurs composants, isolés les uns des autres par un substrat en céramique métallisé sur ses deux faces, créant ainsi un véritable circuit imprimé, le tout étant encapsulé. On parle ici de module de composants de puissance.

Les puces intégrées dans ces modules ne sont néanmoins pas exemptes de risques de défaillances électriques. Il est donc crucial d'être en mesure de les analyser comme leurs homologues dans les discrets.

Dans un premier temps, cette présentation a pour objectif d'exposer les modules de composants de puissance, en détaillant leur intérêt, leur structure ainsi que les matériaux constitutifs. Dans un second temps, l'impact de ces modules sur les procédures d'analyse de défaillance sera présenté, en soulignant les contraintes et les difficultés rencontrées lors d'analyses, tout en proposant des solutions techniques pour y remédier.

#### **10h40-11h00 Revue de technologies de MOS SiC de puissance et technique de révélation des jonctions**

Dominique CARISSETTI, Jean-Claude CLEMENT, Thales R&T,  
dominique.carisetti@thalesgroup.com, jean-claude.clement@thalesgroup.com

Nous présenterons et comparerons trois technologies de composants MOS SiC et les quelques anomalies détectées. Avec l'interdiction des produits chimiques à base de chrome hexavalent, la révélation des jonctions peut se faire à l'aide d'autres techniques. Nous présenterons la méthode sans utilisation de produit chimique et ses résultats sur les technologies SiC.

#### **11h00-11h20 Analyse de défaillance sur un MOSFET SiC 1200V après des essais de short-circuit.**

Jérémie BURKY, ALTER Technology France, J.Burky@altertechnology.fr

Quinze transistors SiC 1200V présentant des fuites de grille après des essais de court-circuit ont été transmis à ALTER Technology pour analyse de défaillance. Les analyses ont permis de mettre en évidence que l'origine de la défaillance provient d'un stress thermomécanique entraînant un crack dans l'oxyde intercouche et une diffusion de l'aluminium entre contact source et polysilicium. Deux contributeurs principaux ont été identifiés : très fort gradient de température en bord de zone active et influence du dépôt métal.

11h20-11h40 **Caractérisation physico-chimique des pits/dislocations dans les composants GaN**

Laurent DUPUY et Béatrice MOREAU, Serma technologies,  
l.dupuy@serma.com, B.Moreau@serma.com

Serma Technologies a développé un vrai savoir-faire dans l'expertise des défauts (FA), le suivi de production et la qualification des matériaux semi-conducteurs et notamment ceux de la technologie GaN – technologie adaptée pour les composants de puissance. Impliqué dans des différents projets R&D (Nano2022, GANSTAR), Serma Technologies a mis en place des méthodes d'analyses avec des paramètres optimisés pour ces nouveaux matériaux. À travers quelques exemples industriels, nous allons montrer, en particulier, l'intérêt des analyses XPS, ToF-SIMS, TEM et AFM pour le GaN. Ces exemples permettront également d'aborder les limites de ces techniques mais également leur complémentarité

11h40-12h00 **Localisation de défauts et analyse de défaillance de transistors de puissance en GaN soumis à des stress en tension statique et commuté.**

Lucien GHIZZO, Thales SIX Toulouse, lghizzo@laas.fr

Cette présentation décrit une méthodologie d'approche en face arrière (backside) pour la préparation des échantillons, la localisation des défauts et l'analyse des défauts physiques sur les HEMT de puissance en p-GaN soumis à des contraintes électriques en mode de surtension et de commutation. Les résultats montrent que la préparation doit être adaptée en fonction de la position du défaut dans la structure (métallurgie, couches diélectriques, épitaxie, etc.), qui dépend elle-même du type de stress électrique appliqué.

Dans notre étude de fiabilité, l'analyse des défaillances nous aidera à identifier les régions les plus susceptibles de se dégrader dans le transistor ainsi que le mécanisme de défaillance associé à chaque type de stress appliqué.

L'analyse des défaillances présentées se compose de caractérisations électriques, de localisation des défauts avec les méthodes d'émission de photons (EMMI) et thermographie infrarouge (LIT), d'une analyse FIB Slice&View, d'observation au microscope électronique à transmission (TEM) et d'une analyse avec la microscopie à force atomique (AFM) en mode électrique de la face avant après préparation chimique du composant.

Ces méthodes d'analyses permettent de mettre en évidence la formation de défauts de différentes natures en fonction du type de stress comme des filaments métalliques ou encore la formation de défauts cristallins dans la structure HEMT.



## **Mardi 4 juin**

### **Session N°2 « Analyse de défaillance des circuits intégrés VLSI »**

#### **14h00-14h05 Introduction de la session**

Guillaume BASCOUL, CNES, Suzel LAVAGNE, THALES Six,  
Vincent RENAUDIN, STMicroelectronics  
Guillaume.bascoul@cnes.fr, suzel.lavagne@thalesgroup.com,  
vincent.renaudin@st.com

#### **14h05-14h30 Analyse d'une perte de rendement à froid : approche innovante de localisation en température**

Romain HUC, STMicroelectronics, romain.huc@st.com

Analyser des rejets en température est toujours un défi au sein d'instrument de localisation optique, lié soit à la saturation des capteurs (à chaud), soit aux problèmes de condensations (à froid). Cette présentation décrira un flow d'analyse en utilisant une méthode de refroidissement innovante, ce qui a permis de réaliser la localisation et de mettre en évidence une structure défaillante. Cette approche montre l'importance d'explorer de nouvelles solutions pour résoudre les problèmes techniques et améliorer la performance des circuits intégrés.

#### **14h30-15h00 Comment trouver un défaut physique dans une mémoire sans outil de localisation optique ?**

Christophe LECLERC, STMicroelectronics, christophe.leclerc@st.com

Les puces électroniques intègrent de plus en plus de mémoires dont leur nombre peut varier de quelques dizaines à quelques milliers sur un petit bout de silicium ! Pour aider les fabricants de semi-conducteurs à intégrer, tester et déboguer ces blocs mémoires, des entreprises spécialisées proposent des solutions logicielles tout-en-un. Bien que ces logiciels puissent sembler simples, leur utilisation nécessite des compétences pluridisciplinaires pour en tirer le meilleur parti. Cette présentation abordera les différents aspects et domaines à considérer pour réaliser un diagnostic rapide et efficace, avec des résultats concrets à la clé.

#### **15h00-15h30 Analyse de défaillance d'un Convertisseur Analogique-Numérique, du défaut électrique à la localisation du défaut**

Carine NIKITINE, Teledyne, Carine.nikitine@teledyne.com

L'analyse porte sur un Convertisseur Analogique-Numérique en cours de développement au sein de Teledyne e2v. Un faible rendement électrique a été observé sur les premiers prototypes sur testeur industriel. Ces résultats ont ensuite été confirmés en laboratoire de caractérisation électrique et ont permis d'identifier le type de défaut électriques. Plusieurs hypothèses ont été émises quant à l'origine du défaut. Nous avons pu les vérifier à l'aide de techniques de localisation de défaut, telles que EMMI, Lock-In Thermography puis par des approches physiques comme la microsection FIB

#### **15h30-16h00 Lecture d'états logiques de cellules Toggle et STT MRAM par AFM**

Louise DUMAS, CNES, louise.dumas@cnes.fr

Dans le cadre de la sécurité de l'information, il est important de se tenir à jour des techniques de lecture des différentes mémoires et de leurs nœuds technologiques afin de garantir un accès à la donnée. De nombreuses études ont déjà été réalisées sur les mémoires volatiles (SRAM, DRAM) et non volatiles (Flash, FeRAM). Cette présentation s'attaque à la possibilité d'accéder aux états logiques des Toggle MRAM (nœud techno 140 nm) et des STT MRAM (nœud techno 40 nm). Leur lecture est faite grâce à l'utilisation de l'AFM en mode courant (C-AFM) suite à une ouverture des mémoires par la face arrière et à la création d'un accès électrique.

## Mercredi 05 juin

### Session N°3 “ Packaging, PCB et Assemblages”

#### 08h30-08h35 **Introduction de la session**

Catherine JEPHOS, DGA MI, catherine.jephos@intradef.gouv.fr

Djemel LELLOUCHI, ELEMCA, djemel.lellouchi@elemca.com

Pierre ROUMANILLE, CNES, pierre.roumanille@cnes.fr

#### 08h35-08h55 **Pollution de surface impactant le brasage et le câblage**

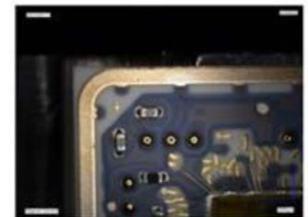
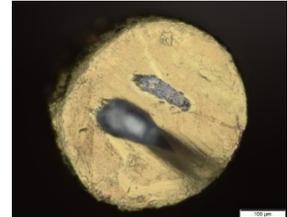
Amir KHAMMARI, Thales TRT, amir.khammari@thalesgroup.com

Le but est de présenter deux expertises réalisées au sein de THALES Research & Technology sur des problématiques de pollutions.

La première expertise concerne de problèmes de tenue de fils de bonding sur des embases métalliques. Nous avons commencé par une comparaison de la propreté avec d'autres embases neuves, ensuite des observations optiques et MEB ainsi qu'une analyse EDS ont été faites pour déterminer la forme de l'empreinte, l'état de surface et la nature de l'intermétallique restant sur l'embase. Des microsections ont été également réalisées pour mesurer les épaisseurs de l'or et du nickel.

La deuxième expertise porte sur l'apparition d'une coloration orange-marron au niveau de conducteur AgPt sur un substrat métallique malgré un stockage sous azote. Un nettoyage par plasma argon permet de retrouver l'état de surface initial.

Pour ces deux cas, les différentes analyses menées et les mécanismes de défaillance trouvés seront présentés.



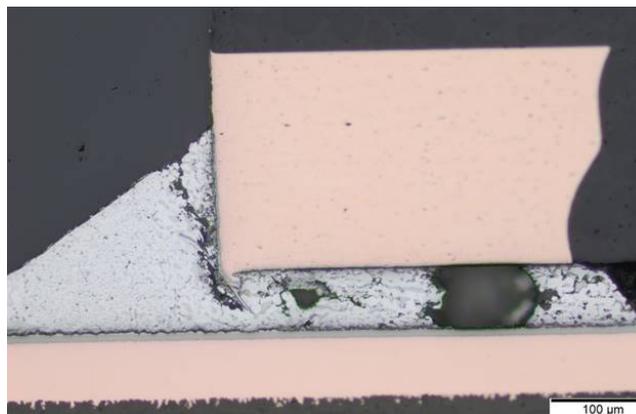
#### 08h55-09h15 **Les lacunes absorbent-elles les fissures dans les joints brasés?**

Benoît ROUSSEL, TRT, benoit.rousseau@thalesgroup.com

Y-a-t-il une influence des lacunes dans les joints brasés sur leur fragilité ? Qui dit lacune, dit manque de matière : est-ce une faiblesse du joint brasé ?

A travers une observation avant et après vieillissement par cycles thermiques de cartes comportant principalement des boîtiers QFN, je partage mon retour d'expérience sur :

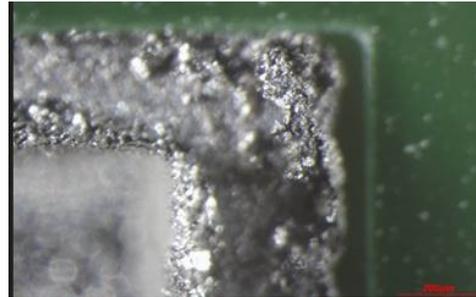
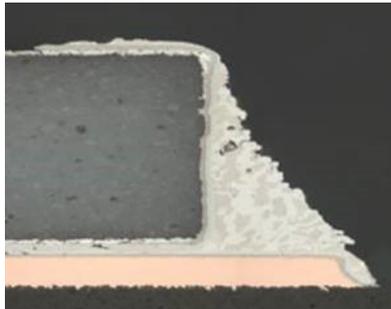
- la localisation principale d'apparition de fissure,
- la taille du joint brasé. Est-elle un facteur aggravant ?
- les lacunes participent-elles à l'apparition de fissures ?



09h15-09h35 **Etude du vieillissement de brasures basse température-étude GT Sans Plomb 2023-2024**

Sandrine Feynerou, Safran ED, sandrine.feynerou@safrangroup.com

Dans le cadre du groupe de travail « sans plomb », nous avons fait une nouvelle étude sur les brasures dites « basse température » (avec un point de fusion inférieur à 217°C) pour notamment comprendre l'origine de la dégradation en cyclage thermique de brasures SnBi avec un aspect « pulvérulent ». C'est la suite de l'étude présentée au précédent atelier et elle concerne l'assemblage de composants/connecteurs CMS sur PCB. L'influence de différents paramètres a été étudiée : l'humidité, le froid, le chaud, l'amplitude de température de cyclage. Nous ferons le bilan des résultats obtenus sur les brasures SnBi et présenterons la seconde partie de l'étude en cours sur les brasures à base d'indium.

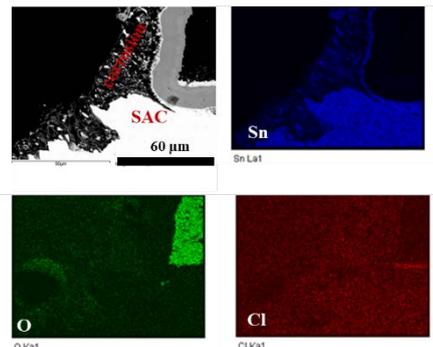
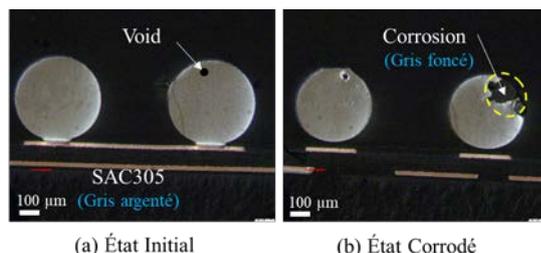


09h35-09h55 **Vieillissement de la brasure SAC en brouillard salin**

Alexandrine GRACIA, IMS, alexandrine.gracia@ims-bordeaux.fr

A.Gracia, E. Akoda, J.Y Delétage, B. Plano, H.Frémont, IMS, Université de Bordeaux

Cette étude concerne l'impact de la corrosion sur la fiabilité mécanique et électrique des joints de brasure lors d'essais au brouillard salin. Le matériau de brasure étudié est le SAC305. Les véhicules de test sont soit des brasures seules (sous forme de globule), soit des billes de composants BGA (image de gauche), soit des joints de brasure de résistances reportées sur FR4 (image de droite). Les différents véhicules ont vieilli de 24 à 96 heures dans une chambre de brouillard salin avec une salinité de 5 % NaCl à 5 températures allant de 25 °C à 45 °C. Des tests électriques, mécaniques et des analyses optiques et physico-chimiques ont été menées. Bien que le produit de corrosion reste le même, la dynamique de la corrosion du matériau de brasure (alliage) et du joint de brasure (assemblage) est très différente : la cinétique de la corrosion est significativement plus faible dans le matériau de brasure que dans les joints de brasure. D'autre part, une relation entre le comportement mécanique et la dynamique de la corrosion des joints de brasure a été établie.





10h30-10h50 **Apport de la simulation dans l'analyse de défaillance**

Jérémie Dhennin, ELEMCA, [jeremie.dhennin@elemca.com](mailto:jeremie.dhennin@elemca.com)

Nous présentons les résultats d'une analyse de causes racines possibles dans le cadre de défauts de fissuration de brasures SnPb en cyclage thermique. Cette étude a été menée en collaboration avec le CNES. Un composant DIP8 pré-collé présente des ruptures au niveau des brasures des pattes après cyclage thermique. Des simulations par éléments finis ont été réalisées pour déterminer les causes de défaillance les plus probables : impact du CTE de la colle, post-réticulation, volume total de la colle, influence du design des pattes (en fonction du type de package).

Après une phase de mesure des propriétés thermomécaniques de la colle par TMA, nous avons pu quantifier, grâce aux modèles, l'impact des différents paramètres envisagés plus haut. Par ailleurs, nous avons constaté une assez bonne corrélation entre les zones de contrainte maximale identifiées en simulation et les fissurations relevées habituellement sur ces types de package



10h50-11h10 **Préparation fonctionnelle de composants montés sur PCB avec underfill pour analyse de défaillance**

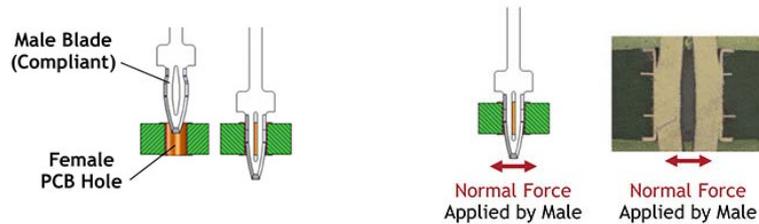
Gauthier LECOINTE, ST, [gauthier.lecointe@st.com](mailto:gauthier.lecointe@st.com)

La préparation des composants dans l'analyse de défaillance présente des défis, notamment lorsqu'il s'agit de composants dotés d'un underfill. Ces derniers, conçus pour améliorer la résistance mécanique et offrir une protection minimale contre l'environnement (poussière, humidité, etc.), ne sont généralement pas destinés à être retravaillés. De ce fait, de nouvelles méthodes de préparation doivent être explorées, et les solutions de retest adaptées à ces préparations. Cette présentation mettra en lumière deux solutions d'échantillonnage permettant un retrait ciblé et sécurisé des passivations organiques (WLCSP) ou des résines de package (BGA).

## 11h10-11h30 **Contact électrique pressfit**

Clément DALL'ACQUA, JTEK, [Clement.DALLACQUA@jtekt.eu](mailto:Clement.DALLACQUA@jtekt.eu)

« Tout ce que vous aviez voulu savoir sur le pressfit : sa définition, ses avantages et inconvénients, sa mise en œuvre et des exemples de défaillance »



## 11h30-11h50 **Défaillance pressfit dans HDI**

Manoubi BAHI, Safran ED, [manoubi-auguste.bahi@safrangroup.com](mailto:manoubi-auguste.bahi@safrangroup.com)

Le sujet portera sur la présentation d'une nouvelle approche d'analyse permettant une meilleure évaluation de l'assemblage des technologies Pressfit (souple & rigide), sur mono-PCB standard (usuellement d'épaisseur 1,6 à 2,0 mm) et Bloc-PCB (PCB en technologie séquentielle / épaisseur ~5 mm) dédié à la haute densité. La norme NF EN 50352-5 traitant des « Connexions Insérées à force (CIF) - Exigences générales, méthodes d'essai et guide pratique », ne traite que des critères d'acceptation en lien avec les dégradations produites au niveau des trous métallisés. Quid des dégradations (fissurations, délaminage, ...) Dans les couches de diélectriques qui ont pour effet de réduire la distance d'isolement entre deux potentiels différents ? De leur propagation après vieillissement : thermique ou vibratoire ?

Afin de statuer sur les dégradations induites au niveau des couches de diélectrique, SAFRAN E&D s'est inspiré spécifiquement des critères d'acceptation de la norme IPC-A-600 « acceptabilité des circuits imprimés » et sur le retour d'expérience.

Ces deux normes citées plus haut ne présentent en général, concernant les investigations menées en coupes métallographiques (modes : longitudinale et transversale), que des observations en lumière en champ clair « Brightfield » au microscope optique. Cependant, ce type de lumière en champ clair est insuffisant pour détecter et observer l'étendue des dégradations des matériaux constituant les couches de diélectrique « résine et réseau de fibres de verre ».

Depuis des années, nous complétons systématiquement nos investigations par des observations en lumière en champ noir « Darkfield ». En effet, un stress induit dans la matière provoque systématiquement un changement de coloration facilement observable. Ce type de lumière permet également, à l'aide de polissages progressifs, d'étudier certains défauts par transparence sur résine translucide.

Concernant le PCB en technologie séquentielle (épaisseur ~5 mm), les particularités techniques liées à la superposition des connecteurs Pressfit (présence d'un film organique traversé par les broches du connecteur et présence de cuivre en fond de trou borgne) ont imposé des démarches nouvelles d'investigation, pour permettre de valider la robustesse et la performance des solutions techniques retenues.

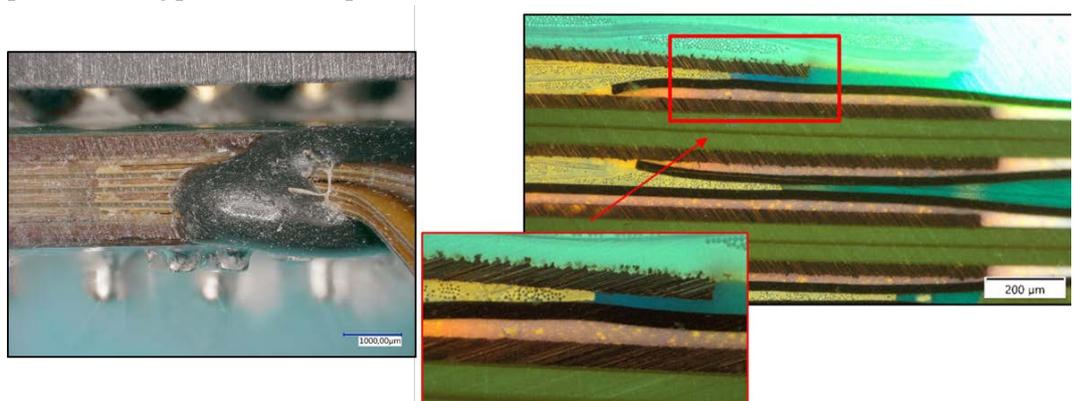
Cette nouvelle approche d'observation en lumière « Darkfield » sera illustrée d'une part par deux cas d'étude sur PCB standard et PCB épais, et d'autre part par des observations après vieillissement « en cyclage thermique » : sur trous traversant et aussi sur trous borgnes, en configuration Pressfit superposés sur PCB de technologie séquentielle. Les solutions d'amélioration seront également présentées.

11h50-12h10 **Analyse de défaillance d'un circuit flex-rigide : mécanisme de défaillance et actions correctives.**

Olivier MAIRE, MBDA olivier.maire@mbda-systems.com

O. Maire, M. Guaquière, G. Boulay, P. Retailleau – MBDA France

Dans les applications de défense, de nombreux circuits imprimés flex-rigides sont utilisés pour répondre aux besoins d'intégration dans des espaces restreints. Ces circuits intègrent des nappes flexibles qui relient les parties rigides et qui s'insèrent dans celles-ci lors de la fabrication. Afin d'assurer une parfaite homogénéité et fiabilité dans le temps, la jonction entre les parties flexible et rigide doit être exempte de défaut. Un circuit de ce type, avec trois nappes flexibles, a présenté des défauts d'isolement et a fait l'objet d'une analyse de défaillance détaillée. Cette étude de cas a pour objet de montrer les différentes investigations menées depuis les contrôles optiques aux analyses destructives qui ont permis d'identifier le mécanisme de défaillance et son origine. Les actions correctives auprès du fabricant de circuits imprimés seront présentées et discutées afin de palier à ce type de défaut pour les circuits futurs.



## Mercredi 5 juin

### Session N°4 “ Analyses de défaillance de composants passifs”

#### 14h00-14h05 **Introduction de la session**

Matthieu GLEIZES, MBDA [matthieu.gleizes@mbda-systems.com](mailto:matthieu.gleizes@mbda-systems.com)  
Françoise GONNET THALES TRT [francoise.gonnet@thalesgroup.com](mailto:francoise.gonnet@thalesgroup.com)  
Jérémy DHENNIN, ELEMCA [jeremie.dhennin@elemca.com](mailto:jeremie.dhennin@elemca.com)

#### 14h05-14h35 **Incidence de la nature et qualité des électrolytes sur la durée de vie des condensateurs électrolytiques aluminium**

Florence THERON, SCHNEIDER ELECTRIC, [florence.theron@se.com](mailto:florence.theron@se.com)  
Mickael CALZARELI, ALSTON GROUP, [mickael.calzarelli@alstomgroup.com](mailto:mickael.calzarelli@alstomgroup.com)

Les utilisateurs de condensateurs aluminium à électrolyte liquide se trouvent de plus en plus confrontés à des problèmes de qualité avec une dérive des paramètres électriques en dehors des spécifications du fournisseur mais aussi avec des cas d'activation précoce de leur système de sécurité bien avant la fin des durées de vie annoncées par les fournisseurs.

Après avoir écarté les problèmes de construction interne, la nature et la qualité des électrolytes utilisés par les fournisseurs semblent être à l'origine de ces problématiques.

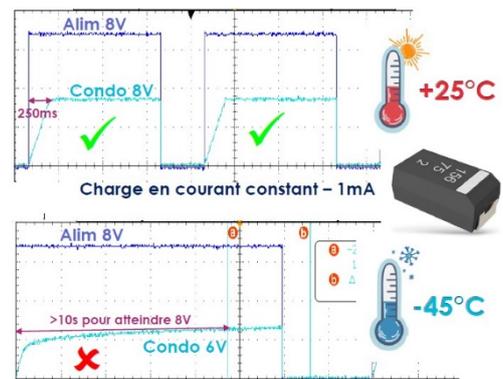
#### 14h35-14h55 **Nouveau mécanisme de défaillance sur les condensateurs Tantale polymère.**

Jean Claude CLEMENT, THALES TRT, [jean-claude.clement@thalesgroup.com](mailto:jean-claude.clement@thalesgroup.com)  
Françoise GONNET, THALES TRT [francoise.gonnet@thalesgroup.com](mailto:francoise.gonnet@thalesgroup.com)

A basse température des temps de charge de 10 à 100 fois plus longs que l'attendu ont été détectés sur certains condensateurs tantale polymère. Ce défaut peut passer inaperçu en fonction de l'utilisation mais dans certains cas être rédhibitoires en générant une panne, comme l'illustre le schéma.

Cette présentation détaille les circonstances de ces défauts et émet des hypothèses quant à l'origine de ces défauts.

Des résultats de composants provenant de plusieurs fabricants seront présentés.



#### 14h55-15h10 **Défaillance d'un circuit de temporisation due au courant de fuite d'un condensateur tantale.**

Kevin GUILLOY, EDF, [kevin.guilloy@edf.fr](mailto:kevin.guilloy@edf.fr)

Un module relais avec temporisation de 5 minutes a été identifié comme défaillant. Le dépannage du circuit électronique a mis en cause le courant de fuite d'un condensateur tantale, 100 fois plus élevé que sur un module non défaillant. Cependant, d'après la datasheet du constructeur, le courant de fuite de ce condensateur, bien qu'élevé, reste en limite de spécification. Cela démontre qu'au-delà de la dégradation des composants due à leur vieillissement, une mauvaise conception électronique peut avoir un impact négatif sur la durée de vie du matériel.

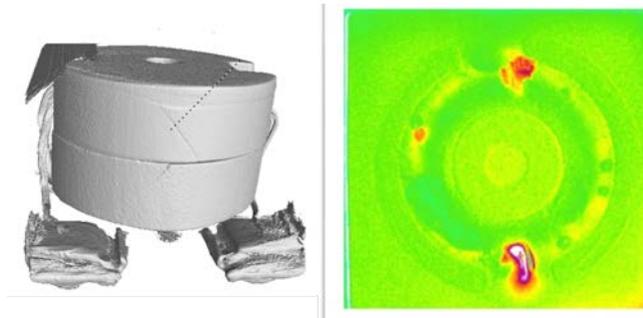
15h10-15h30 **Défaillance d'un transformateur Flyback COTS**

Françoise GONNET, THALES TRT [francoise.gonnet@thalesgroup.com](mailto:francoise.gonnet@thalesgroup.com)

Des défaillances ont été détectées sur 10% des transformateurs assemblés sur carte.

Dans le cadre d'une analyse de défaillance, une question revient sans cesse : d'où vient le problème ? Est-ce un problème d'utilisation, de fabrication, d'implantation ?

Cette présentation déroule l'analyse de défaillance avec la localisation de défaut par microscopie thermique et radiographie X 3D, puis l'analyse destructive afin de déterminer la nature du défaut et ainsi espérer remonter à l'origine du problème. Nous verrons si à la fin de la présentation nous sommes en mesure de répondre à la question.



15h30-16h00 **Pb de tenue MSL sur des micro-inductances et méthode d'évaluation du risque sur les cartes produites**

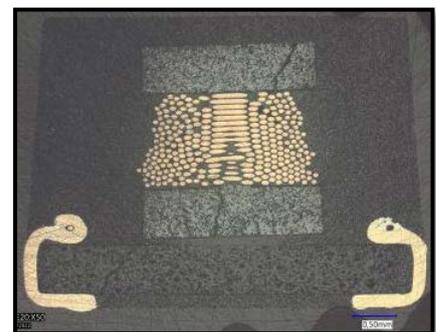
Matthieu GLEIZES, MBDA [matthieu.gleizes@mbda-systems.com](mailto:matthieu.gleizes@mbda-systems.com)

Des fissurations de boîtier ont été observées sur des micro-inductances lors d'inspections de cartes électroniques. Bien que n'entraînant pas de défauts électriques pendant le test des cartes ou des équipements, la question de la défiabilisation des composants se posait.

Après avoir confirmé que la classification MSL (Moisture Sensitivity Level) donnée par le fabricant n'était pas suffisante et était la cause de la fissuration, il a été décidé d'engager des essais de vieillissement thermomécanique sur des composants afin d'évaluer leur tenue dans le temps.

Cette présentation reviendra sur la philosophie des essais réalisés, le dispositif utilisé, le choix des conditions d'essais et l'exploitation des résultats.

La finalité de ces essais est de voir si des composants fissurés mais fonctionnels peuvent évoluer vers une défaillance, et le cas échéant d'estimer un taux de panne à mettre en regard d'un profil de mission.



**Pause**



**Mercredi 5 juin**

**Session N°3 “ Packaging, PCB et Assemblages” (suite)**

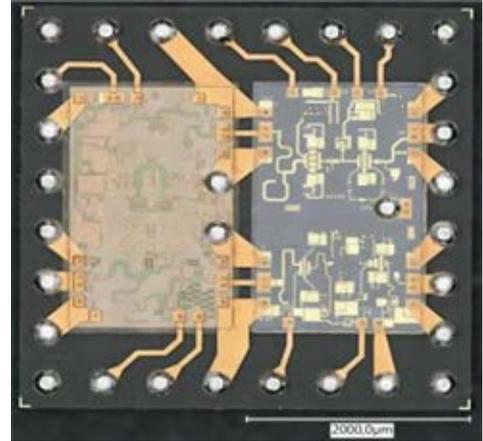
16h30-16h50 **Analyse de la fiabilité de modules hétérogènes sur plate-forme WLP Fan-out.**

Julien Perraud, Thales Research & Technology , [julien.perraud@thalesgroup.com](mailto:julien.perraud@thalesgroup.com)

Les résultats présentés ici ont été obtenus dans le cadre du projet SMART3 - Technologie organique pour micro-packaging 2D & 3D intégrant des technologies hétérogènes RF et millimétriques.

Après une brève introduction présentant la technologie Fan-Out Wafer Level Package utilisée pour intégrer différentes puces RF, les différents Véhicules de Test utilisés seront introduits. Ces VT ont été spécialement conçus afin d'évaluer la fiabilité de cette technologie et ont été soumis à différentes filières de tests.

Nous nous intéresserons ici, aux essais de cyclages thermiques qui ont été réalisés sur composants seuls et sur composants assemblés sur cartes avec un monitoring continu. Les modes de défaillances observés et les méthodes d'investigations associées seront détaillés.



16h50-17h10 **Evaluation du comportement de 2 Underfills sous sollicitations thermo-mécaniques**

Joël Bonnet GAMARD, Teledyne E2v, [Joel.BonnetGamard@Teledyne.com](mailto:Joel.BonnetGamard@Teledyne.com)

Dans le cadre de développement technologique, nous sommes amenés à évaluer différentes matières premières qui entrent dans la composition des composants électroniques fabriqués par Teledyne e2v et destinés à des utilisations en environnements sévères. L'étude présentée porte sur l'évaluation de 2 underfills, matériau crucial des composants en technologies Flip Chip. L'influence déterminante de l'underfill sur la tenue du composant en cyclage en température sera montrée.

Les résultats obtenus lors des qualifications seront présentés, corrélés avec une loi de Weibull sur la base des défaillances électriques. Des analyses physiques ont aussi été conduites afin de mettre en évidence les mécanismes de défaillances.

17h10-17h30 **Etude comparative de techniques de mesure d'épaisseur de conformal coating (GT Protection)**

Karine MANSOULIE, EDF, [karine.mansoulie@edf.fr](mailto:karine.mansoulie@edf.fr)

La capacité d'un vernis de protection à assurer une protection durable et efficace de la carte électronique est pour grande partie liée à sa nature chimique, à la couverture du vernis réalisée et à son épaisseur. Autant la couverture est généralement facile à contrôler grâce aux traceurs UV présents dans la plupart des formulations, autant l'épaisseur de vernis est généralement difficile à déterminer sur la carte électronique. Les vernis sont dits conformes, « conformal coating » pour le monde anglophone, mais ils sont loin de l'être. L'épaisseur sera dépendante de la topologie de la carte : le vernis s'accumulera entre les composants et pourra être extrêmement mince sur les arêtes de composant. La question de l'épaisseur réelle sur la carte et en tout point de la carte pourra alors se poser.

Le GT « Protection des cartes électroniques » s'est donc attelé à recenser les différentes méthodologies (non destructives pour la carte) de mesure d'épaisseur de vernis existantes. Toutes présentent des avantages et inconvénients et peuvent être utiles à différents moments de la vie du produit. Certaines serviront à contrôler régulièrement un procédé d'application (mesure par courant de Foucault sur éprouvette plane par ex.), d'autres pourront être utilisées pour de l'investigation lors d'analyses de défaillance.

Des essais inter-laboratoires ont ensuite été réalisés pour vérifier la précision de ces différentes méthodes, déterminer leurs limites et les usages pour lesquelles elles sont pertinentes.

## Jeudi 6 juin

### Session N°5 **Analyse de défaillance des composants optoélectroniques et hyperfréquences**

#### 8h30-8h35 **Introduction de la session**

Hélène CHAUVIN, Suzel LAVAGNE, THALES

helene.chauvin@thalesgroup.com, suzel.lavagne@thalesgroup.com

#### 8h35-8h55 **Défaillance d'une couche mince en aluminium assurant l'herméticité à la lumière de détecteurs de particules alpha pour le spatial**

Emmanuel COURTADE, CNES Emmanuel.Courtade@cnes.fr

P.Y. MESLIN, K.W. WONG, L. LAVERGNE, IRAP

Le 3 mai 2024, une fusée Longue Marche 5 est lancée depuis Wenchang en Chine. A son bord, l'instrument DORN (Detection of Outgassing Radon), conçu et réalisé à l'Institut de Recherche en Astrophysique et Planétologie (IRAP) sous maîtrise d'ouvrage du Centre National d'Etudes Spatiales (CNES). Direction : la Lune !

L'équipement composé d'un ensemble de détecteurs de particules alpha permettra d'étudier le Radon, traceur idéal du dégazage lunaire et des gaz présents à la surface formant l'exosphère lunaire. Les détecteurs, des photodiodes PIN en silicium, sont recouverts d'une couche mince en aluminium de 300nm permettant de laisser passer les particules alpha tout en réfléchissant la lumière du Soleil. Des tests menés à l'IRAP ont cependant montré des défaillances de cette couche qui n'assurait pas cette herméticité à la lumière.



Le laboratoire d'expertise du CNES, avec l'aide de ses partenaires THALES et ELEMCA, a apporté un support à l'IRAP et au fabricant des détecteurs. Après avoir mis en évidence la défaillance par des analyses optoélectroniques (courbes IV, LBIV), différentes analyses (optique, MEB, FIB, SIMS) nous ont permis de caractériser la couche mince en aluminium et ses défauts.

#### 8h55-9h15 **Dégradation de composants optoélectroniques en utilisation – cas d'étude**

LE HELLOCO Julien, MBDA, julien.le-helloco@mbda-systems.com

Les composants optoélectroniques sont largement utilisés pour combiner des signaux électriques avec des niveaux de tension différents, tout en isolant physiquement l'entrée de la sortie. Si certaines alternatives de meilleure qualité existent, ces composants restent incontournables grâce à leur coût, leur simplicité et malgré la fragilité de leur package.

Cette fragilité génère une sensibilité accrue aux divers environnements que verra le composant optoélectronique, que ce soit en fabrication ou en utilisation.

Deux cas de défaillances en utilisation seront présentés :

- Un cas de défaillance qui a été engendré par le process d'assemblage
- Un cas de défaillance qui a été engendré par une pollution extérieure à l'optocoupleur mais provenant du vernis de tropicalisation

9h15-9h35 **Fiabilité, analyse de défaillance et robustesse de composants HEMTs GaN**

Mourad OUALLI, Nicolas MICHEL3-5 lab, [mourad.oualli@3-5lab.fr](mailto:mourad.oualli@3-5lab.fr),  
[nicolas.michel@3-5lab.fr](mailto:nicolas.michel@3-5lab.fr)

Des transistors de type HEMT (High Electron Mobility Transistors) multidoigts InAlGaN/GaN sur substrats SiC ont été réalisés pour des applications hyperfréquence de puissance autour de 30 GHz.

Les topologies sont 100nm x 6 x 30  $\mu\text{m}$ , 150 nm x 8 x 50  $\mu\text{m}$  et 250 nm x 6 x 50  $\mu\text{m}$ .

Des tests de vieillissement en mode passant et en mode bloqué à des températures de jonction allant de 195°C à 325°C ont révélé une distribution log-normale des défaillances cumulées. Le MTTF des composants de 250 nm x 6 x 50  $\mu\text{m}$  à 225°C de température de jonction est de 1500 heures. Un glissement positif des tensions de pincement est observé. Des coupes TEM et des analyses TEM-EDX montrent une accumulation d'oxygène, dans la zone de fort champ électrique située au voisinage du pied de grille côté drain.

9h35-9h55 **Lames STEM sur technologie GaN RF : la grille sous toutes ses coutures**

Adrien BADETZ, DGA-MI, [adrien.badetz@intradef.gouv.fr](mailto:adrien.badetz@intradef.gouv.fr)

L'étude porte sur une version préliminaire d'une technologie GaN RF 100nm en phase de R&D.

Une dégradation a été observée lors d'essai accéléré de qualification : une chute rapide et inexplicquée de la puissance de sortie.

La présentation résume l'analyse électro-optique (EMMI) associée à l'analyse physique (STEM).



**Jeudi 6 juin**

**Session N°6 “ Défiabilisation des composants dans le process industriel ou en utilisation ”**

14h00-14h05 **Introduction de la session**

Matthieu GLEIZES, MBDA, [matthieu.gleizes@mbda-systems.com](mailto:matthieu.gleizes@mbda-systems.com)

Karine MANSOULIE, EDF, [karine.mansoulie@edf.fr](mailto:karine.mansoulie@edf.fr)

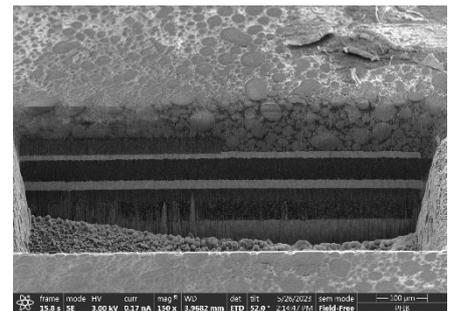
Jérôme TOULZE, AIRBUS, [jerome.toulze@airbus.com](mailto:jerome.toulze@airbus.com)

14h05-14h25 **Evaluation de la durée de stockage de substrats organiques**

Damien CHAMPAGNE, TELEDYNE E2V, [damien.champagne@teledyne.com](mailto:damien.champagne@teledyne.com)

La durée de vie des substrats organiques utilisés dans la fabrication des composants électroniques est définie par les fabricants et souvent fixée à une année. Pour les industries à faible volume (Spatial, Aéronautique et Défense), cette durée de vie peut-être un élément très contraignant, conduisant à des surcoûts, des délais et du "gâchis" de matière. Bien que cette durée soit contestable, celle-ci peut être justifiée.

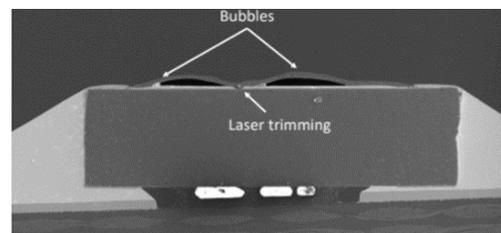
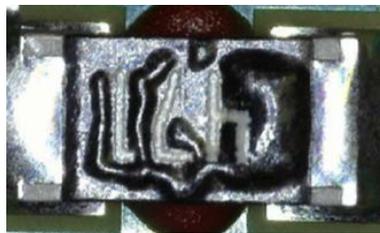
La présente étude traite d'un cas concret et a pour but de valider l'utilisation d'un substrat au-delà des préconisations fabricant et considéré comme sensible aux procédés d'assemblage. Seront présentés le contexte industriel, notre démarche technique puis les résultats expérimentaux. La figure illustre la préparation plasma FIB d'un échantillon.



14h25-14h45 **Dégradation de l'enrobage de résistance CMS pendant le process de report**

Jérôme TOULZE, AIRBUS, [jerome.toulze@airbus.com](mailto:jerome.toulze@airbus.com)

Cette présentation aborde un phénomène de dégradation de l'enrobage de résistances chips CMS couche épaisse détecté sur des cartes électroniques utilisant un process de report à la vague. La conséquence de cet endommagement est l'exposition de la piste résistive ainsi que des connexions internes à l'environnement ambiant, dans la mesure où l'enrobage n'assure plus de protection.



L'analyse a consisté à travailler sur la compréhension du mécanisme de dégradation ainsi que sur les différents facteurs pouvant être à l'origine de ces dégradations lors de l'utilisation d'un process de report à la vague.

Le plan d'expérience mis en œuvre afin d'identifier la(les) cause(s) racine(s) sera présenté, ainsi que les recommandations issues de ce plan pour éliminer ces endommagements.

L'impact de facteurs multiples (fabricant et technologie des composants, type de process de report, type de flux, paramètres de process...) sera évoqué et mettra en évidence le lien important entre technologie de composants et technologies de fabrication pour la fiabilité des composants et des cartes électroniques.

14h45-15h05 **Corrosion sur substrat BGA.**

Cédric LYORET, THALES TRT, [cedric.lyoret@thalesgroup.com](mailto:cedric.lyoret@thalesgroup.com)

Les packages FC-BGA (Flip Chip Ball Grid Array) utilisent la technologie flip-chip, où le circuit intégré est inversé et monté face vers le bas sur le substrat PCB. Cela permet des longueurs d'interconnexion plus courtes, de réduire les pertes électriques et des vitesses plus élevées. Les composants FCBGA sont couramment utilisés dans les applications qui nécessitent un environnement haute performance et haute densité, tels que les processeurs à grande vitesse et les cartes graphiques. Plusieurs technologies de composants FCBA existent sur le marché de la micro-électronique (sans capot métallique, avec capot métallique partiel, avec capot métallique total et trous d'évents). L'intérêt sera porté sur les composants FCBGA avec événements.

Dans ce cadre, des défaillances sont survenues sur ce type de composants avec une rupture totale et/ou intermittente d'un signal électrique interne.

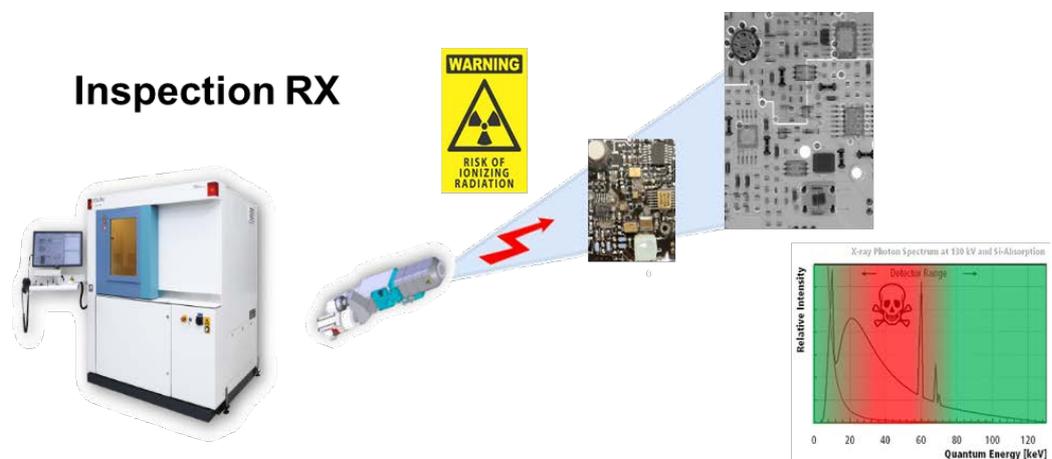
L'analyse décrira les zones possiblement impactées par cette défaillance. L'étude portera sur la méthodologie et les techniques d'analyse ainsi que les solutions à mettre en exergue face à ce type défaut. L'objectif de cette présentation est de décrire un cas réel de dégradation durant le process industriel et les recommandations à y apporter.

15h05-15h25 **Présentation des résultats de l'essai inter-laboratoire mené au sein du GT RX « Mesures croisées de la dose générée par différents moyens de Radiographie X »**

Erwan LE FLAO, AIRBUS Defence & Space, [erwan.leflao@airbus.com](mailto:erwan.leflao@airbus.com)

Les inspections par Rayons X sont de plus en plus utilisées dans le domaine de l'électronique, par exemple : en contrôle production (manuel ou automatique) pour la validation des assemblages, en contrôle d'entrée de composants, dans le cas de recherche de panne, etc...

Cependant, les générateurs RX produisent des rayonnements ionisants qui peuvent dégrader les composants ou impacter leur durée de vie, comme l'illustre la figure ci-dessous ! Qui plus est, il existe sur le marché : différents fabricants, différentes machines, différents types de tubes à Rayons X, différents types de cibles, différentes tailles de foyer, et de nombreux paramètres d'utilisations ajustables : tension, courant, mode, distance tube/échantillon, ...



C'est dans ce contexte qu'une étude a été menée au sein du Groupe de travail RX, afin de comparer grâce à un moyen simple de mesure, la dose émise par différents systèmes RX, dans des conditions identiques ! Cette présentation sera l'occasion de présenter à l'ensemble de la communauté les résultats obtenus.

15h25-15h45 **Test de différentes connectiques en vibrations et chocs**

Frédérique REYGROBELLET-RIVIERE, MBDA, frederique.reygrobellet-riviere@mbda-systems.com

Une étude sur le comportement de différents connecteurs de plusieurs fabricants en environnement mécanique (vibrations et chocs) a été réalisée chez MBDA.

- Connecteurs CMS carte à carte à haute densité / pas fin
- Connecteurs CMS carte à carte RF

Les essais ont été menés avec comme critère une détection de nano coupures. Quelques événements ont eu lieu et une analyse de défaillance a suivi. Les différentes inspections réalisées (inspection visuelle, coupes micrographiques, MEB) ont mis en évidence du fretting corrosion sur certains composants.

Cette présentation aborde comment la simulation par éléments finis permet de proposer des actions d'amélioration de design pour réduire les risques de fretting corrosion.

15h45-16h00 **Corrosion des supports de mémoire DIL : incompatibilité des revêtements or/étain ?**

Kevin GUILLOY, EDF, kevin.guilloy@edf.fr

Dans le cadre d'une utilisation prolongée de cartes électroniques, des phénomènes de dégradation peuvent apparaître sur des temps longs. Des cartes numériques, âgées d'une trentaine d'années, ont été analysées à l'issue d'essais en chaleur humide. Les résultats montrent une augmentation drastique de la résistance de contact des mémoires UVPRM dans leur support DIP. Il s'agit de puces dont le lead frame est en ferronickel plaqué étain et de support en alliage cuivré plaqué or. Une observation au MEB de micro-sections du lead frame des composants insérés dans leur support montre une accumulation d'étain oxydé à l'interface entre ces deux éléments. Une corrosion galvanique est supposée pour expliquer ce phénomène.

Cette présentation abordera l'analyse menée afin d'identifier le phénomène à l'œuvre et le reproduire en laboratoire.

