

PROGRAMME DES SESSIONS PLENIERES

Mardi 9 juin

8h30 - 9h00

Ouverture et présentation de l'Atelier 2026

Matthieu Gleizes
Président Association ANADEF

Mot d'accueil du Président

8h30 - 10h00

Keynote

Le sujet abordé lors du Keynote ainsi que l'intervenant seront précisés ultérieurement.

10h15-12h15
14h00-18h00

Session n°1 « Packaging, PCB et Assemblages »

Animateurs:

Catherine JEPHOS
DGA Maîtrise de
l'information
catherine.jepfos@intradef.gouv.fr
Tel : 02 99 42 91 85

Djemel LELLOUCHI
ELEMCA - Toulouse
djemel.lellouchi@elemca.com
Tel : 05 61 27 32 40

Pierre ROUMANILLE
CNES - Toulouse
pierre.roumanille@cnes.fr
Tel : 05 61 28 20 05

Les évolutions des technologies d'interconnexion et de packaging électronique sont toujours stimulées par l'intégration et la densification. La diminution des pas, l'évolution des assemblages avec l'enfouissement des composants dans les PCB ou dans de nouveaux packages induisent des défis en matière de fiabilité, notamment pour ce qui concerne le management thermique des composants. La mise en œuvre de moyens d'analyse est un autre challenge lié à cette densification des technologies.

Cette session s'intéressera aux nouvelles évolutions technologiques et aux mécanismes de défaillance associés. Nous nous intéresserons à la thématique des matériaux et procédés d'assemblage de cartes. Le volet PCB de la session pourra s'étendre aux études liées à la protection et à la connectique. La présentation d'études de cas, résolus ou non, de méthodologies d'analyse de défaillance, de techniques d'analyse et de caractérisation sera également au rendez-vous. La session permettra de présenter les travaux menés par les différents groupes de travail ANADEF : PCB, assemblage sans plomb, connectique ou protection des cartes.

Mercredi 10 juin

8h30-12h00

Session n°2 « Apport de l'intelligence artificielle pour l'analyse de défaillance »

Animateurs :

**Sylvie HEUDE-
VERNEYRE**
AIRBUS D&S – Elancourt
sylvie.heude-
verneyre@airbus.com
Tel: 01 82 61 25 94

Claire VACHER
LYNRED – Veurey-Voroize
claire.vacher@lynred.com
Tél : 04 76 53 68 17

Dans nos métiers, qu'on le veuille ou non, les données sont au cœur de toutes les activités que nous réalisons aujourd'hui. Les sources d'acquisition de ces données sont de plus en plus nombreuses et de nature très diverses, elles peuvent concerner les données de produits, les données de suivi en production, les résultats de tests fonctionnels, ou les acquisitions d'images en laboratoire...

La prise de décision s'appuie alors sur la convergence de traitement de ces très nombreuses données qu'il faut réussir à analyser et synthétiser.

L'exploitation « manuelle » de ces jeux de données multiples et parfois complexes par des "humains" ne suffit souvent plus à fournir une analyse efficace ou une décision rapide et optimisée compte tenu de la complexité du traitement.

L'IA (Intelligence Artificielle) fait donc son entrée dans notre monde industriel depuis quelques années maintenant en nous aidant à traiter ces jeux de données.

Alors, qu'en est-il chez vous ? dans votre entreprise ? ou même dans votre laboratoire ? Etes-vous en plein développement d'une solution à base d'IA ou avez-vous déjà un peu de recul sur des applications bien définies ? Si vous vous reconnaissez, n'hésitez pas ! Venez partager avec nous, lors de cette session de 3 heures, votre problématique et ce que l'IA vous apporte au quotidien dans vos analyses, sur vos équipements, ou même dans la gestion des données de votre laboratoire...

PROGRAMME DES SESSIONS PLENIERES

Mercredi 10 juin

14h00-16h00

Session n°3 « Analyse de défaillance des composants passifs »

Animateurs :

Françoise GONNET

Thales Research & Technology
- Palaiseau
francoise.gonnet@thalesgroup.com
Tél : +33 (0) 1 69 41 56 68

Matthieu GLEIZES

MBDA – Le Plessis Robinson
matthieu.gleizes@mbda-systems.com
Tél : +33 (0) 1 71 54 36 20

Jérémy DHENNIN

ELEMCA – Ramonville St Agne
jeremie.dhennin@elemca.com
Tel : +33 (0) 5 61 28 25 55

Sans passifs, rien ne serait actif !

Les cartes électroniques regorgent de composants passifs qui sont à l'origine de nombreuses défaillances. Les fabricants de composants passifs font évoluer les technologies afin de rendre les composants plus robustes et de réduire les risques de défaillances ou minimiser les dégradations collatérales en cas de défaillance (PCB ou autres composants qui brûlent par exemple). Pour autant, nous sommes tous confrontés à des cas de défaillances de composants passifs.

Vous aussi, vous rencontrez probablement des difficultés pour déterminer les causes racines de ces défaillances. L'objectif de cette session est de partager les expériences de chacun sur les différentes familles et les différentes technologies de composants passifs : condensateurs, résistances, inductances, super-condensateurs, transformateurs, relais ...

Les présentations seront orientées sur différents axes :

- Etudes de cas de défaillances résolues ou non avec une approche concrète en terme d'analyse et de recherche des mécanismes de défaillance,
- Tests de vieillissement sur des composants passifs, à l'issue desquels des analyses ont été réalisées.

Mercredi 10 juin

16h30-18h00

Session n°4 « Analyse de défaillance des circuits intégrés VLSI »

Animateurs :

Suzel LAVAGNE

THALES Six – Toulouse
suzel.lavagne@thalesgroup.com
Tel : 06 44 23 47 98

Vincent RENAUDIN

STMicroelectronics Grenoble
vincent.renaudin@st.com
Tel : 06 80 55 80 14

Guillaume BASCOUL

CNES
Guillaume.bascoul@cnes.fr
Tel : 05 61 28 14 50

L'analyse de défaillance est amenée à évoluer régulièrement, de par la transformation des produits et technologies sur lesquels nous sommes amenés à travailler. Un des défis de l'analyste est donc de se renouveler constamment en adoptant de nouvelles techniques et méthodologies associées. Dans cette session, nous tenterons un survol de différentes problématiques actuelles de localisation de défaut, avec des techniques non destructives, ou par moyens optiques ou électroniques, ainsi que le probing avec ou sans contact. La manière dont est réalisée l'approche physique du défaut sera un point d'importance à aborder au travers des cas d'études présentés. De plus, les fortes contraintes expérimentales et environnementales (température, testeur industriel, package, radiations...) impliquées lors de la mise en œuvre de la défaillance électrique participeront à l'intérêt porté au cas d'analyse.

Ici, l'approche des VLSI est prise au sens large, elle inclue les capteurs imageurs, les composants photoniques intégrés (PIC), les MEMS, les mémoires, les composants de puissance et tout composant semi-conducteur fortement intégré. La session montrera des analyses en boîte blanche ou noire montrant la diversité des démarches du processus d'analyse de défaillance.

En résumé, cette session offre une vue d'ensemble complète des techniques modernes d'analyse de défaillance des circuits intégrés VLSI, en mettant l'accent sur les méthodes innovantes, ou originales et les outils avancés qui permettent d'améliorer la fiabilité des dispositifs et des équipements électroniques.

Jeudi 11 juin

10h30-12h00

14h00-16h00

Session n°5 « Défiabilisation des composants dans le process industriel ou en utilisation »

Animateurs :

Matthieu GLEIZES

MBDA France – Le Plessis Robinson
matthieu.gleizes@mbda-systems.com
Tél : 01 71 54 36 20

Jérôme TOULZE

AIRBUS Operations – Toulouse
jerome.toulze@airbus.com
Tél : 06 86 79 36 21

Karine MANSOULIE

EDF Lab – Moret Sur Loing
karine.mansoulie@edf.fr
Tél : 06 13 75 07 55

Cédric LYORET

Thales TRT
cedric.lyoret@thalesgroup.com
Tel : +33 (0)1 69 41 56 72

Les composants électroniques sont de plus en plus fiables mais également de plus en plus fragiles et donc sensibles aux stress. Le taux de panne, proche du zéro-défaut à réception augmente brutalement dès qu'ils sont utilisés et intégrés dans une application. Souvent, la cause racine de ces pannes est une mise en œuvre inappropriée : conditionnement inadapté, mauvaise gestion du MSL, procédés de fabrication et test mal maîtrisés, utilisation client en dehors des limites garanties, stockage de longue durée mal maîtrisé, etc.

La difficulté majeure pour l'expert est l'identification des causes racines de la défaillance car il s'agit en général de stress « parasites » donc hors processus nominal, souvent accidentels, parfois dus à des événements générant des défauts latents non-déTECTABLES par un test fonctionnel, mais susceptible d'évoluer au cours de la vie du composant.

En outre, un composant peut aussi se dégrader au cours d'une utilisation particulièrement longue comme c'est le cas dans les domaines militaires, aéronautiques et de production d'énergie. L'objectif de cette session est de partager les expériences de chacun, en balayant toutes les étapes de vie d'un composant, du déstockage magasin à l'utilisation du matériel par le client, autour des problématiques suivantes :

- * Études de cas ayant une signature particulière et si possible la cause bien identifiée,
- * Mécanismes de défaillance liés à l'évolution des technologies, et aux procédés de fabrication (nouveaux boîtiers, assemblage « sans plomb », nouveaux procédés de nettoyage, vernissage des cartes...). Dans le cas de mécanisme de défaillance mis en exergue, des reproductions de cas pourront être exposées.
- * Exemples montrant la relation entre les stress induits par le procédé industriel ou l'application elle-même (température, ESD, EOS, EMI, rayonnement cosmique, Rayons X, contraintes électromagnétiques, fissures de boîtiers, délaminations, pollutions, etc.) et la fiabilité à long terme.